

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-056665

(43)Date of publication of application : 27.02.2001

(51)Int.Cl.

G09G 3/28

G09G 3/20

H04N 5/66

(21)Application number : 11-234716

(71)Applicant : PIONEER ELECTRONIC CORP

(22)Date of filing : 20.08.1999

(72)Inventor : SUZUKI MASAHIRO
SAEGUSA NOBUHIKO

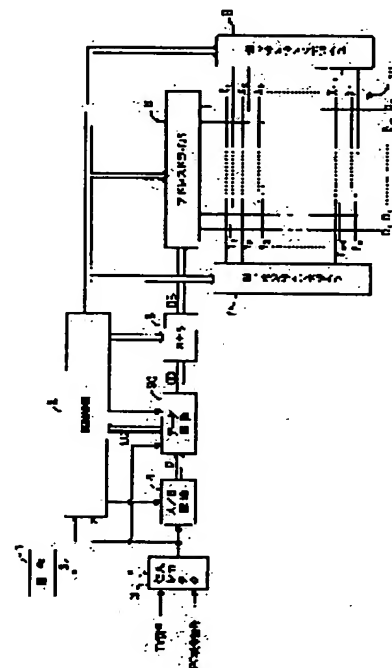
(54) METHOD FOR DRIVING PLASMA DISPLAY PANEL

(57)Abstract:

PROBLEM TO BE SOLVED: To improve display quality an gradation expressive power by selectively executing a first drive pattern and a second drive pattern according to the kind of an input video signal.

SOLUTION: A plasma display device for luminous-driving this panel consists of a drive part consisting of an operating device 1, a drive control circuit 2, an input selector 3, an A/D converter 4, a data conversion circuit 30, a memory 5, an address driver 6 and first and second sustain drivers 7, 8 and a PDP 10 as a plasma display panel. At this time, the luminous drive sequence consists of the first drive pattern alternately switching respective first and second luminous drive sequences that the ratios of the number of luminous times in respective sustain luminous processes among N pieces of division display devices are different from each other to execute it and the second drive pattern alternately switching respective third and fourth luminous drive sequences that the ratios of the number of luminous times in

respective sustained luminous processes among N pieces of division display devices are different from each other to execute it. Then, the first and the second drive patterns are executed selectively according to the kind of the input video signal.



LEGAL STATUS

[Date of request for examination]

29.05.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

This Page Blank (uspto)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-56665

(P2001-56665A)

(43) 公開日 平成13年2月27日 (2001.2.27)

(51) Int.Cl. ⁷	識別記号	F I	テータト* (参考)
G 0 9 G 3/28		G 0 9 G 3/28	K 5 C 0 5 8
3/20	6 4 1	3/20	6 4 1 E 5 C 0 8 0
			6 4 1 H
	6 4 2		6 4 1 Q
			6 4 2 D
審査請求 未請求 請求項の数23 O L (全 25 頁) 最終頁に続く			

(21) 出願番号 特願平11-234718

(22) 出願日 平成11年8月20日 (1999.8.20)

(71) 出願人 000005016

バイオニア株式会社

東京都目黒区目黒1丁目4番1号

(72) 発明者 鈴木 雅博

山梨県中巨摩郡田舎町西花輪2680番地

バイオニア株式会社内

(72) 発明者 三枝 信彦

山梨県中巨摩郡田舎町西花輪2680番地

バイオニア株式会社内

(74) 代理人 100079119

弁理士 藤村 元彦

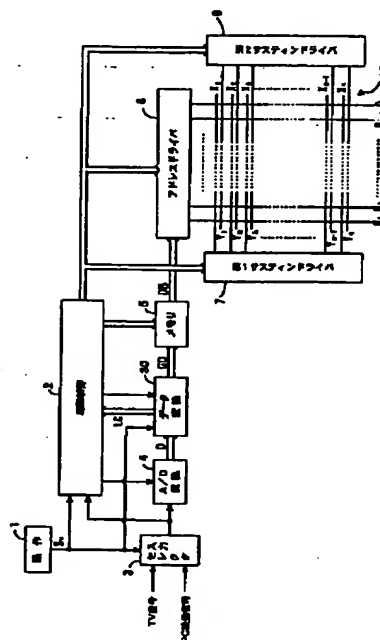
最終頁に続く

(54) 【発明の名称】 プラズマディスプレイパネルの駆動方法

(57) 【要約】

【課題】 表示品質を向上させつつも階調表現力を向上させることができるプラズマディスプレイパネルの駆動方法を提供することを目的とする。

【解決手段】 入力映像信号の種別に応じて、1フィールド(1フレーム)期間中の発光維持行程各々で実施する発光回数の比が互いに異なる第1及び第2発光駆動シーケンスを1フィールド(1フレーム)毎に交互に切り換えて実行する第1駆動パターン、及び上記発光維持行程各々で実施する発光回数の比が互いに異なる第3及び第4発光駆動シーケンスを1フィールド(1フレーム)毎に交互に切り換えて実行する第2駆動パターンを択一的に実行する。



【特許請求の範囲】

【請求項1】 走査ライン毎に配列された複数の行電極と前記行電極に交叉して配列された複数の列電極との各交点にて1画素に対応した放電セルを形成しているプラズマディスプレイパネルの駆動方法であって、単位表示期間をN個の分割表示期間に分割し、前記分割表示期間の各々において、入力映像信号に多階調化処理を施して得たNビットの表示駆動画素データに応じて前記放電セルの各々を非発光セル又は発光セルの一方に設定する画素データ書込行程と、前記発光セルのみを前記分割表示期間各々の重み付けに対応した発光回数だけ発光させる発光維持行程とを実行する発光駆動シーケンスを有し、前記発光駆動シーケンスは、前記N個の前記分割表示期間各々の前記維持発光行程での前記発光回数の比が互いに異なる第1及び第2発光駆動シーケンス各々を前記単位表示期間毎に交互に切り換えて実行する第1駆動パターンと、前記N個の前記分割表示期間各々の前記維持発光行程での前記発光回数の比が互いに異なる第3及び第4発光駆動シーケンス各々を前記単位表示期間毎に交互に切り換えて実行する第2駆動パターンとからなり、前記入力映像信号の種別に応じて前記第1駆動パターン及び前記第2駆動パターンを択一的に実行することを特徴とするプラズマディスプレイパネルの駆動方法。

【請求項2】 前記入力映像信号はパーソナルコンピュータからの映像信号又はテレビジョン信号であることを特徴とする請求項1記載のプラズマディスプレイパネルの駆動方法。

【請求項3】 前記単位表示期間とは前記入力映像信号の1フィールド又は1フレーム表示期間であることを特徴とする請求項1記載のプラズマディスプレイパネルの駆動方法。

【請求項4】 前記第1発光駆動シーケンスの実行によって得られる各階調輝度点の輝度レベルと、前記第2発光駆動シーケンスの実行時に前記多階調化処理によって得られる各階調輝度点での輝度レベルとを一致させ、前記第3発光駆動シーケンスの実行によって得られる各階調輝度点の輝度レベルと、前記第4発光駆動シーケンスの実行時に前記多階調化処理によって得られる各階調輝度点での輝度レベルとを互いに異ならせることを特徴とする請求項1記載のプラズマディスプレイパネルの駆動方法。

【請求項5】 走査ライン毎に配列された複数の行電極と前記行電極に交叉して配列された複数の列電極との各交点にて1画素に対応した放電セルを形成しているプラズマディスプレイパネルの駆動方法であって、単位表示期間をN個の分割表示期間に分割し、前記分割表示期間の各々において、入力映像信号に多階調化処理を施して得たNビットの表示駆動画素データに応じて前記放電セルの各々を非発光セル又は発光セルの一方に設

定する画素データ書込行程と、前記発光セルのみを前記分割表示期間各々の重み付けに対応した発光回数だけ発光させる発光維持行程とを実行する発光駆動シーケンスを有し、

前記発光駆動シーケンスは、前記N個の前記分割表示期間各々の前記維持発光行程での前記発光回数の比が互いに異なる第1及び第2発光駆動シーケンスからなり、前記第1発光駆動シーケンスの実行によって得られる各階調輝度点の輝度レベルと、前記第2発光駆動シーケンスの実行時に前記多階調化処理によって得られる各階調輝度点での輝度レベルとを一致させることを特徴とするプラズマディスプレイパネルの駆動方法。

【請求項6】 前記入力映像信号はテレビジョン信号であることを特徴とする請求項5記載のプラズマディスプレイパネルの駆動方法。

【請求項7】 前記単位表示期間とは前記入力映像信号の1フィールド又は1フレーム表示期間であることを特徴とする請求項5記載のプラズマディスプレイパネルの駆動方法。

【請求項8】 走査ライン毎に配列された複数の行電極と前記行電極に交叉して配列された複数の列電極との各交点にて1画素に対応した放電セルを形成しているプラズマディスプレイパネルの駆動方法であって、単位表示期間をN個の分割表示期間に分割し、前記分割表示期間の各々において、入力映像信号に多階調化処理を施して得たNビットの表示駆動画素データに応じて前記放電セルの各々を非発光セル又は発光セルの一方に設定する画素データ書込行程と、前記発光セルのみを前記分割表示期間各々の重み付けに対応した発光回数だけ発光させる発光維持行程とを実行する発光駆動シーケンスを有し、

前記発光駆動シーケンスは、前記N個の前記分割表示期間各々の前記維持発光行程での前記発光回数の比が互いに異なる第1及び第2発光駆動シーケンスからなり、前記第1発光駆動シーケンスの実行によって得られる各階調輝度点の輝度レベルと、前記第2発光駆動シーケンスの実行時に前記多階調化処理によって得られる各階調輝度点での輝度レベルとを互いに異ならせることを特徴とするプラズマディスプレイパネルの駆動方法。

【請求項9】 前記入力映像信号はパーソナルコンピュータからの映像信号であることを特徴とする請求項8記載のプラズマディスプレイパネルの駆動方法。

【請求項10】 前記単位表示期間とは前記入力映像信号の1フィールド又は1フレーム表示期間であることを特徴とする請求項8記載のプラズマディスプレイパネルの駆動方法。

【請求項11】 前記分割表示期間各々の前記維持発光行程での前記発光回数の比を非線形に設定することにより、前記入力映像信号の非線形表示特性を補正することとを特徴とする請求項1記載のプラズマディスプレイパネ

ルの駆動方法。

【請求項12】 前記非線形表示特性は、ガンマ特性であることを特徴とする請求項11記載のプラズマディスプレイパネルの駆動方法。

【請求項13】 前記入力映像信号の前記非線形表示特性を補正する前に前記多階調化処理を実行することの特徴とする請求項11記載のプラズマディスプレイパネルの駆動方法。

【請求項14】 前記多階調化処理は誤差拡散処理及び／又はディザ処理からなり、前記ディザ処理でのディザ係数を前記単位表示期間毎に変更することの特徴とする請求項1記載のプラズマディスプレイパネルの駆動方法。

【請求項15】 前記多階調化処理を施す前に前記入力映像信号に対応した画素データを前記多階調化処理に必要な上位ビット群と下位ビット群とのビット境界で分離することの特徴とする請求項1記載のプラズマディスプレイパネルの駆動方法。

【請求項16】 前記単位表示期間における先頭部の前記分割表示期間においてのみで全ての前記放電セルを発光セル又は非発光セルのいずれか一方の状態に初期化するリセット行程を実行し、前記分割表示期間の内のいずれか1の前記画素データ書込行程においてのみで前記放電セルを前記表示駆動画素データに応じて非発光セル又は発光セルの一方に設定することの特徴とする請求項1記載のプラズマディスプレイパネルの駆動方法。

【請求項17】 前記単位表示期間における先頭部の前記分割表示期間においてのみで全ての前記放電セルを発光セル又は非発光セルのいずれか一方の状態に初期化するリセット行程を実行し、前記分割表示期間の内のいずれか1の前記画素データ書込行程において前記放電セルを前記表示駆動画素データに応じて前記非発光セル又は前記発光セルの一方に設定する放電を生起させる第1の画素データパルスを前記列電極に印加し、その直後に存在する前記分割表示期間での前記画素データ書込行程において前記第1の画素データパルスと同一の第2の画素データパルスを前記列電極に印加することの特徴とする請求項1記載のプラズマディスプレイパネルの駆動方法。

【請求項18】 前記単位表示期間における最後尾の前記分割表示期間においてのみで全ての前記放電セルを非発光セルの状態にする消去行程を設けたことを特徴とする請求項16又は17記載のプラズマディスプレイパネルの駆動方法。

【請求項19】 前記リセット行程では全ての前記放電セルを前記発光セルの状態に初期化し、前記画素データ書込行程では前記表示駆動画素データに応じて前記放電セルを選択的に消去放電せしめることにより前記放電セルを前記非発光セルに設定することの特

徴とする請求項1、16、17のいずれか1に記載のプラズマディスプレイパネルの駆動方法。

【請求項20】 前記リセット行程では全ての前記放電セルを前記非発光セルの状態に初期化し、前記画素データ書込行程では前記表示駆動画素データに応じて前記放電セルを選択的に書込放電せしめることにより前記放電セルを前記発光セルに設定することの特徴とする請求項1、16、17のいずれか1に記載のプラズマディスプレイパネルの駆動方法。

【請求項21】 前記単位表示期間の先頭から連続した n 個（ n は $0 \sim N$ ）の前記分割表示期間各々での前記発光維持行程においてのみで前記発光セルを発光せしめることにより $N+1$ 階調駆動を行うことの特徴とする請求項1又は19に記載のプラズマディスプレイパネルの駆動方法。

【請求項22】 前記単位表示期間の最後尾から連続した n 個（ n は $0 \sim N$ ）の前記分割表示期間各々での前記発光維持行程においてのみで前記発光セルを発光せしめることにより $N+1$ 階調駆動を行うことの特徴とする請求項1又は20記載のプラズマディスプレイパネルの駆動方法。

【請求項23】 前記単位表示期間内に配列された前記分割表示期間各々の内、低輝度発光を担う分割表示期間の数が高輝度発光を担う分割表示期間の数よりも多いことを特徴とする請求項21又は22記載のプラズマディスプレイパネルの駆動方法。

【発明の詳細な説明】

【0001】

【発明が属する技術分野】 本発明は、マトリクス表示方式のプラズマディスプレイパネル（以下、PDPと称する）の駆動方法に関する。

【0002】

【従来の技術】 かかるマトリクス表示方式のPDPの一つとしてAC（交流放電）型のPDPが知られている。AC型のPDPは、複数の列電極（アドレス電極）と、これら列電極と直交して配列されておりかつ一対にて1走査ラインを形成する複数の行電極対とを備えている。これら各行電極対及び列電極は、放電空間に対して誘電体層で被覆されており、行電極対と列電極との交点にて1画素に対応した放電セルが形成される構造となっている。

【0003】 この際、PDPは放電現象を利用している為、上記放電セルは、“発光”及び“非発光”の2つの状態しかもたない。そこで、かかるPDPにより中間調の輝度表示を実現させる為にサブフィールド法を用いる。サブフィールド法では、1フィールドの表示期間を N 個のサブフィールドに分割し、各サブフィールド毎に、画素データ（ N ビット）の各ビット桁の重み付けに対応した期間長を有する発光期間を夫々割り当てて発光駆動を行う。

【0004】例えば、図1に示されるように1フィールド期間を6個のサブフィールドSF1～SF6に分割した場合には、

SF1:1
SF2:2
SF3:4
SF4:8
SF5:16
SF6:32

なる発光期間比にて発光駆動を実施する。

【0005】ここで、放電セルを輝度 2^3 で発光させる場合には、図1に示されるが如く、サブフィールドSF1～SF6の内のSF6のみで発光を実施させる。又、輝度 2^3 で発光させる場合には、サブフィールドSF6を除く他のサブフィールドSF1～SF5において発光を実施させるのである。これにより、64段階での中間調の輝度表現が可能となる。

【0006】図1のシーケンスから明らかなように階調数を増加するためにはサブフィールド数を増やせばよい。しかしながら、1つのサブフィールド内では、発光セルを選択するための画素データ書込み行程が必要となるため、サブフィールド数の増加に伴い、1フィールド内において実施すべき画素データ書込み行程の回数も増える。これにより、1フィールド期間内で発光期間（発光維持行程の長さ）に割り当てられる時間が相対的に短くなり、輝度の低下を招いてしまう。

【0007】従って、PDPによる映像表示を実現するためには、映像信号自体に何らかの多階調化処理を行う必要がある。多階調化の手法としては、例えば誤差拡散処理が知られている。誤差拡散処理は、ある画素（放電セル）に対応した画素データと所定閾値との誤差を周辺画素に対応した画素データに加算することで、擬似的に階調数を増やす方法である。

【0008】しかしながら、元の階調数が少ないと誤差拡散のパターンが目立つようになり、 S/N が劣化するという問題があった。

【0009】

【発明が解決しようとする課題】本発明は、上記の問題を解決するためになされたものであり、表示品質を向上させつつも階調表現力を向上させることができるプラズマディスプレイパネルの駆動方法を提供することを目的とする。

【0010】

【課題を解決するための手段】本発明によるプラズマディスプレイパネルの駆動方法は、走査ライン毎に配列された複数の行電極と前記行電極に交叉して配列された複数の列電極との各交点にて1画素に対応した放電セルを形成しているプラズマディスプレイパネルの駆動方法であって、単位表示期間をN個の分割表示期間に分割し、前記分割表示期間の各々において、入力映像信号に多階

調化処理を施して得たNビットの表示駆動画素データに応じて前記放電セルの各々を非発光セル又は発光セルの一方に設定する画素データ書込行程と、前記発光セルのみを前記分割表示期間各々の重み付けに対応した発光回数だけ発光させる発光維持行程とを実行する発光駆動シーケンスを有し、前記発光駆動シーケンスは、前記N個の前記分割表示期間各々の前記維持発光行程での前記発光回数の比が互いに異なる第1及び第2発光駆動シーケンス各々を前記単位表示期間毎に交互に切り換えて実行する第1駆動パターンと、前記N個の前記分割表示期間各々の前記維持発光行程での前記発光回数の比が互いに異なる第3及び第4発光駆動シーケンス各々を前記単位表示期間毎に交互に切り換えて実行する第2駆動パターンとからなり、前記入力映像信号の種別に応じて前記第1駆動パターン及び前記第2駆動パターンを択一的に実行する。

【0011】

【発明の実施の形態】以下、本発明の実施例を図を参照しつつ説明する。図2は、本発明による駆動方法に基づいてプラズマディスプレイパネルを発光駆動するプラズマディスプレイ装置の概略構成を示す図である。かかるプラズマディスプレイ装置は、操作装置1、駆動制御回路2、入力セクタ3、A/D変換器4、データ変換回路30、メモリ5、アドレスドライバ6、第1サスティンドライバ7及び第2サスティンドライバ8からなる駆動部と、プラズマディスプレイパネルとしてのPDP10と、から構成される。

【0012】尚、このプラズマディスプレイ装置は、NTSC方式の如きテレビジョン信号の他に、パーソナルコンピュータからの映像信号であるPC映像信号にも対応したものであり、これら方式の異なる映像信号各々を入力する為の専用の入力端子（図示せぬ）を個別に備えている。図2において、操作装置1は、使用者によって入力指定された映像信号に対応した入力映像指定信号 S_v を生成し、これを駆動制御回路2、入力セクタ3及びデータ変換回路30の各々に供給する。例えば、操作装置1は、使用者がその表示対象とすべき映像信号として上記PC映像信号を指定した場合には論理レベル 0^* 、カラーテレビジョン信号（以下、TV信号と称する）を指定した場合には論理レベル 1^* の入力映像指定信号 S_v を生成する。

【0013】入力セクタ3は、上記入力端子を介して供給されたPC映像信号、及びTV信号各々の内から、上記入力映像指定信号 S_v に応じた方を択一的に選択し、これを入力映像信号としてA/D変換器4に供給する。尚、PC映像信号、及びTV信号の各々は予めガンマ補正処理が施されたものである。A/D変換器4は、上記入力セクタ3から供給された入力映像信号を駆動制御回路2から供給されたクロック信号に応じてサンプリングしてこれを各画素毎の例えば8ビットの画素デー

タDに変換する。すなわち、A/D変換器4は、入力セクタ3から供給されたアナログの入力映像信号を、256階調にて輝度を表現し得る8ビットの画素データに変換するのである。

【0014】データ変換回路30は、かかる8ビットの画素データDに対して、輝度調整、多階調化処理各々を施して得たデータを、PDP10の各画素を実際に発光駆動させる為の表示駆動画素データGDに変換してメモリ5に供給する。図3は、かかるデータ変換回路30の内部構成を示す図である。図3に示されるように、データ変換回路30は、ABL(自動輝度制御)回路31、第1データ変換回路32、多階調化処理回路33及び第2データ変換回路34で構成される。

【0015】ABL回路31は、PDP10の画面上に表示される画像の平均輝度が適切な輝度範囲内に収まるように、A/D変換器4から順次供給されてくる各画素毎の画素データDに対して輝度レベルの調整を行い、この際得られた輝度調整画素データD_{BL}を第1データ変換回路32に供給する。図4は、かかるABL回路31の内部構成を示す図である。

【0016】図4において、レベル調整回路310は、後述する平均輝度検出回路311にて求められた平均輝度に応じて画素データDのレベルを調整して得られた輝度調整画素データD_{BL}を出力する。データ変換回路312は、かかる輝度調整画素データD_{BL}を図5に示されるが如き非線形特性からなる逆ガンマ特性($Y=X^{2.2}$)に変換したものを逆ガンマ変換画素データD_rとして平均輝度レベル検出回路311に供給する。すなわち、輝度調整画素データD_{BL}に逆ガンマ補正処理を施すことにより、ガンマ補正の解除された元の映像信号に対応した画素データ(逆ガンマ変換画素データD_r)を復元するのである。平均輝度検出回路311は、先ず、かかる逆ガンマ変換画素データD_rの平均輝度を求める。ここで、平均輝度検出回路311は、かかる平均輝度が、最高輝度～最低輝度なる範囲を4段階に分類した輝度モード1～4の内のいずれに該当するかを判別し、この該当する輝度モードを示す輝度モード信号LCを駆動制御回路2に供給しつつ、上述した如く求めた平均輝度を上記レベル調整回路310に供給する。つまり、レベル調整回路310は、かかる平均輝度に応じて画素データDのレベルを調整したものを上記輝度調整画素データD_{BL}として上記データ変換回路312、及び次段の第1データ変換回路32に供給するのである。

【0017】図6は、かかる第1データ変換回路32の内部構成を示す図である。図6において、データ変換回路321は、上記輝度調整画素データD_{BL}を図7(A)に示されるが如き変換特性に基づいて“0”～“192”までの8ビットの変換画素データA₁に変換してこれをセクタ322に供給する。データ変換回路323は、上記輝度調整画素データD_{BL}を図7(B)に示されるが如き変

換特性に基づいて“0”～“192”までの8ビットの変換画素データB₁に変換してこれをセクタ322に供給する。セクタ322は、これら変換画素データA₁及びB₁の内から、変換特性選択信号の論理レベルに応じた方を択一的に選択し、これをセクタ324に供給する。尚、上記変換特性選択信号は、上記駆動制御回路2から供給されるもので、入力映像信号の垂直同期タイミングに応じて論理レベル“1”から“0”、又は“0”から“1”へと推移する信号である。データ変換回路325は、上記輝度調整画素データD_{BL}を図8(A)に示されるが如き変換特性に基づいて“0”～“384”までの9ビットの変換画素データA₂に変換してこれをセクタ326に供給する。データ変換回路327は、上記輝度調整画素データD_{BL}を図8(B)に示されるが如き変換特性に基づいて“0”～“384”までの9ビットの変換画素データB₂に変換してこれをセクタ326に供給する。セクタ326は、これら変換画素データA₂及びB₂の内から、上記変換特性選択信号の論理レベルに応じた方を択一的に選択し、これをセクタ324に供給する。セクタ324は、セクタ322から供給された変換画素データA₁(又はB₁)、及びセクタ326から供給された変換画素データA₂(又はB₂)の内から、入力映像指定信号S_vの論理レベルに応じた方を択一的に選択し、これを第1変換画素データD_Hとして次段の多階調化処理回路33に供給する。

【0018】図6に示される構成により、第1データ変換回路32は、操作装置1においてTV信号が入力指定された場合には、図7に示される変換特性に基づいて、“0”～“255”なる8ビットの輝度調整画素データD_{BL}を“0”～“192”なる8ビットの第1変換画素データD_Hに変換して多階調化処理回路33に供給する。一方、PC映像信号が入力指定された場合には、図8に示される変換特性に基づいて、“0”～“255”なる8ビットの輝度調整画素データD_{BL}を“0”～“384”なる9ビットの第1変換画素データD_Hに変換して多階調化処理回路33に供給するのである。尚、図7(A)及び図8(A)は奇数フィールド(奇数フレーム)の表示、図7(B)及び図8(B)は偶数フィールド(偶数フレーム)の表示時に用いられる変換特性である。すなわち、第1データ変換回路32は、TV信号が入力指定された場合には、その変換時に用いる変換特性を各フィールド(フレーム)毎に図7(A)及び図7(B)の如く切り換え、PC映像信号が入力指定された場合には、各フィールド毎に図8(A)及び図8(B)の如くその変換特性を切り換えるのである。

【0019】このように、後述する多階調化処理回路33の前段に第1データ変換回路32を設けて、表示階調数、多階調化による圧縮ビット数に合わせたデータ変換を施すことにより、多階調化処理による輝度飽和及び表示階調がビット境界にない場合に生じる表示特性の平坦

部の発生（すなわち、階調歪みの発生）を防止する。図9は、多階調化処理回路33の内部構成を示す図である。

【0020】図9に示されるが如く、多階調化処理回路33は、誤差拡散処理回路330及びディザ処理回路350から構成される。まず、誤差拡散処理回路330におけるデータ分離回路331は、上記第1変換画素データ D_H 中の上位6ビット分を表示データ、下位2又は3ビット分を誤差データとして夫々分離する。加算器332は、かかる誤差データとしての第1変換画素データ D_H 中の下位2又は3ビット分と、遅延回路334からの遅延出力と、係数乗算器335の乗算出力とを加算して得た加算値を遅延回路336に供給する。遅延回路336は、加算器332から供給された加算値を、画素データのクロック周期と同一の時間を有する遅延時間 D だけ遅らせ、これを遅延加算信号 AD_1 として上記係数乗算器335及び遅延回路337に夫々供給する。係数乗算器335は、上記遅延加算信号 AD_1 に所定係数値 K_1 （例えば、“7/16”）を乗算して得られた乗算結果を上記加算器332に供給する。遅延回路337は、上記遅延加算信号 AD_1 を更に（1水平走査期間—上記遅延時間 $D \times 4$ ）なる時間だけ遅延させたものを遅延加算信号 AD_2 として遅延回路338に供給する。遅延回路338は、かかる遅延加算信号 AD_2 を更に上記遅延時間 D だけ遅延させたものを遅延加算信号 AD_3 として係数乗算器339に供給する。又、遅延回路338は、かかる遅延加算信号 AD_2 を更に上記遅延時間 $D \times 2$ なる時間だけ遅延させたものを遅延加算信号 AD_4 として係数乗算器340に供給する。更に、遅延回路338は、かかる遅延加算信号 AD_2 を上記遅延時間 $D \times 3$ なる時間だけ

画素 $G(j, k-1)$ に対応した誤差データ：遅延加算信号 AD_1

画素 $G(j-1, k+1)$ に対応した誤差データ：遅延加算信号 AD_3

画素 $G(j-1, k)$ に対応した誤差データ：遅延加算信号 AD_4

画素 $G(j-1, k-1)$ に対応した誤差データ：遅延加算信号 AD_5

各々に対して、上述した如き所定の係数値 $K_1 \sim K_4$ をもって重み付け加算を実施する。次に、この加算結果に、第1変換画素データ D_H 中の下位2又は3ビット分、すなわち画素 $G(j, k)$ に対応した誤差データを加算し、この際得られた1ビット分のキャリアウト信号 C_0 を第1変換画素データ D_H 中の上位6ビット分、すなわち画素 $G(j, k)$ に対応した表示データに加算したものを誤差拡散処理画素データ ED とする。

【0022】すなわち、誤差拡散処理回路330は、第1変換画素データ D_H 中の上位6ビット分を表示データ、残りの下位ビットを誤差データとして捉え、周辺画素 $\{G(j, k-1), G(j-1, k+1), G(j-1, k), G(j-1, k-1)\}$ 各々での誤差データを重み付け加算したものを、上記表示データに反映させるようにしている。かかる動作により、原画素 $\{G(j, k)\}$ における下位ビットに対応

遅延させたものを遅延加算信号 AD_5 として係数乗算器341に供給する。係数乗算器339は、上記遅延加算信号 AD_3 に所定係数値 K_2 （例えば、“3/16”）を乗算して得られた乗算結果を加算器342に供給する。係数乗算器340は、上記遅延加算信号 AD_4 に所定係数値 K_3 （例えば、“5/16”）を乗算して得られた乗算結果を加算器342に供給する。係数乗算器341は、上記遅延加算信号 AD_5 に所定係数値 K_4 （例えば、“1/16”）を乗算して得られた乗算結果を加算器342に供給する。加算器342は、上記係数乗算器339、340及び341各々から供給された乗算結果を加算して得られた加算信号を上記遅延回路334に供給する。遅延回路334は、かかる加算信号を上記遅延時間 D なる時間分だけ遅延させて上記加算器332に供給する。加算器332は、上記誤差データ（第1変換画素データ D_H 中の下位2又は3ビット）と、遅延回路334からの遅延出力と、係数乗算器335の乗算出力とを加算し、この際、桁上げがない場合には論理レベル“0”、桁上げがある場合には論理レベル“1”のキャリアウト信号 C_0 を発生して加算器333に供給する。加算器333は、上記表示データ（第1変換画素データ D_H 中の上位6ビット分）に、上記キャリアウト信号 C_0 を加算したものを6ビットの誤差拡散処理画素データ ED として出力する。

【0021】以下に、かかる構成からなる誤差拡散処理回路330の動作について説明する。例えば、図10に示されるが如きPDP10の画素 $G(j, k)$ に対応した誤差拡散処理画素データ ED を求める場合、まず、かかる画素 $G(j, k)$ の左横の画素 $G(j, k-1)$ 、左斜め上の画素 $G(j-1, k-1)$ 、真上の画素 $G(j-1, k)$ 、及び右斜め上の画素 $G(j-1, k+1)$ 各々に対応した各誤差データ、すなわち、

した輝度成分が上記周辺画素によって擬似的に表現され、それ故に8ビットよりも少ないビット数、すなわち6ビット分の表示データにて、上記8ビット分の画素データと同等の輝度階調表現が可能になるのである。

【0023】尚、この誤差拡散の係数値が各画素に対して一定に加算されていると、誤差拡散パターンによるノイズが視覚的に確認される場合があり画質を損なってしまう。そこで、後述するディザ係数の場合と同様に4つの画素各々に割り当てるべき誤差拡散の係数 $K_1 \sim K_4$ を1フィールド（フレーム）毎に変更するようにしても良い。

【0024】ディザ処理回路350は、かかる誤差拡散処理回路330から供給された誤差拡散処理画素データ ED にディザ処理を施すことにより、6ビットの誤差拡散処理画素データ ED と同等な輝度階調レベルを維持し

つつもビット数を更に4ビットに減らした多階調化処理画素データ D_s を生成する。尚、かかるディザ処理では、隣接する複数の画素により1つの中間表示レベルを表現するものである。例えば、8ビットの画素データの内の上位6ビットの画素データを用いて8ビット相当の階調表示を行う場合、左右、上下に互いに隣接する4つの画素を1組とし、この1組の各画素に対応した画素データ各々に、互いに異なる係数値からなる4つのディザ係数 $a \sim d$ を夫々割り当てて加算する。かかるディザ処理によれば、4画素で4つの異なる中間表示レベルの組み合わせが発生することになる。よって、例えば画素データのビット数が6ビットであっても、表現出来る輝度階調レベルは4倍、すなわち、8ビット相当の中間調表示が可能となるのである。

【0025】しかしながら、ディザ係数 $a \sim d$ なるディザパターンが各画素に対して一定に加算されていると、このディザパターンによるノイズが視覚的に確認される場合があり画質を損なってしまう。そこで、ディザ処理回路350においては、4つの画素各々に割り当てべき上記ディザ係数 $a \sim d$ を1フィールド毎に変更するようにしている。

【0026】図11は、かかるディザ処理回路350の内部構成を示す図である。図11において、ディザ係数発生回路352は、互いに隣接する4つの画素毎に4つのディザ係数 a, b, c, d を発生してこれらを順次加算器351に供給する。尚、ディザ係数発生回路352は、上記入力映像指定信号 S_v によって示される入力指定映像信号に応じて、発生すべきディザ係数 $a \sim d$ の値を異ならせている。

【0027】すなわち、入力映像指定信号 S_v にて入力指定された映像信号がTV信号である場合には、図12に示されるが如く、

ディザ係数 $a : 0$
ディザ係数 $b : 1$
ディザ係数 $c : 2$
ディザ係数 $d : 3$

なる各々2ビットからなるディザ係数 $a \sim d$ を発生する一方、入力指定された映像信号がPC映像信号である場合には、図12に示されるが如く、

ディザ係数 $a : 0$ (又は1)
ディザ係数 $b : 2$ (又は3)
ディザ係数 $c : 4$ (又は5)
ディザ係数 $d : 6$ (又は7)

なる各々3ビットからなるディザ係数 $a \sim d$ を発生する。

【0028】これらディザ係数 $a \sim d$ 各々は、例えば、図13に示されるように、第 j 行に対応した画素 $G(j, k)$ 及び画素 $G(j, k+1)$ 、第 $(j+1)$ 行に対応した画素 $G(j+1, k)$ 及び画素 $G(j+1, k+1)$ なる互いに隣接した4つの画素各々に割り当てられる。ディザ係数発生回路352

は、これら4つの画素各々に割り当てべき上記ディザ係数 $a \sim d$ を図13に示されるように1フィールド毎に変更して行く。

【0029】すなわち、ディザ係数発生回路352は、最初の第1フィールドにおいては、

画素 $G(j, k)$: ディザ係数 a
画素 $G(j, k+1)$: ディザ係数 b
画素 $G(j+1, k)$: ディザ係数 c
画素 $G(j+1, k+1)$: ディザ係数 d

次の第2フィールドにおいては、

画素 $G(j, k)$: ディザ係数 b
画素 $G(j, k+1)$: ディザ係数 a
画素 $G(j+1, k)$: ディザ係数 d
画素 $G(j+1, k+1)$: ディザ係数 c

次の第3フィールドにおいては、

画素 $G(j, k)$: ディザ係数 d
画素 $G(j, k+1)$: ディザ係数 c
画素 $G(j+1, k)$: ディザ係数 b
画素 $G(j+1, k+1)$: ディザ係数 a

そして、第4フィールドにおいては、

画素 $G(j, k)$: ディザ係数 c
画素 $G(j, k+1)$: ディザ係数 d
画素 $G(j+1, k)$: ディザ係数 a
画素 $G(j+1, k+1)$: ディザ係数 b

の如き割り当てにてディザ係数 $a \sim d$ を循環して繰り返し発生し、これを加算器351に供給する。ディザ係数発生回路352は、上述した如き第1フィールド～第4フィールドの動作を繰り返し実行する。すなわち、かかる第4フィールドでのディザ係数発生動作が終了したら、再び、上記第1フィールドの動作に戻って、前述した動作を繰り返すのである。加算器351は、上記誤差拡散処理回路330から供給されてくる上記画素 $G(j, k)$ 、画素 $G(j, k+1)$ 、画素 $G(j+1, k)$ 、及び画素 $G(j+1, k+1)$ 各々に対応した誤差拡散処理画素データED各々に、上述の如く各フィールド毎に割り当てられたディザ係数 $a \sim d$ を夫々加算し、この際得られたディザ加算画素データを上位ビット抽出回路353に供給する。

【0030】例えば、図17に示される第1フィールドにおいては、画素 $G(j, k)$ に対応した誤差拡散処理画素データED+ディザ係数 a 、画素 $G(j, k+1)$ に対応した誤差拡散処理画素データED+ディザ係数 b 、画素 $G(j+1, k)$ に対応した誤差拡散処理画素データED+ディザ係数 c 、画素 $G(j+1, k+1)$ に対応した誤差拡散処理画素データED+ディザ係数 d の各々をディザ加算画素データとして上位ビット抽出回路353に順次供給して行くのである。上位ビット抽出回路353は、かかるディザ加算画素データの上位4ビット分までを抽出し、これを多階調化画素データ D_s として出力する。

【0031】以上の如く、図9に示されるディザ処理回路350は、4つの画素各々に割り当てべき上記ディ

ザ係数 $a \sim d$ を 1 フィールド毎に変更して行くことにより、ディザパターンによる視覚的ノイズを低減させつつも視覚的に多階調化した 4 ビットの多階調化画素データ D_S を求め、これを第 2 データ変換回路 3 4 に供給するのである。

【0032】第 2 データ変換回路 3 4 は、かかる 4 ビットの多階調化画素データ D_S を図 1 4 に示されるが如き変換テーブルに従って第 1 ～第 12 ビットからなる表示駆動画素データ GD に変換する。尚、これら第 1 ～第 12 ビットの各々は、後述するサブフィールド $SF1 \sim SF12$ 各々に対応したものである。以上の如く、ABL 回路 3 1、第 1 データ変換回路 3 2、多階調化処理回路 3 3 及び第 2 データ変換回路 3 4 からなるデータ変換回路 3 0 によれば、8 ビットで 256 階調を表現し得る画

DB1_{11-nm} : 表示駆動画素データ GD_{11-nm} の第 1 ビット目
DB2_{11-nm} : 表示駆動画素データ GD_{11-nm} の第 2 ビット目
DB3_{11-nm} : 表示駆動画素データ GD_{11-nm} の第 3 ビット目
DB4_{11-nm} : 表示駆動画素データ GD_{11-nm} の第 4 ビット目
DB5_{11-nm} : 表示駆動画素データ GD_{11-nm} の第 5 ビット目
DB6_{11-nm} : 表示駆動画素データ GD_{11-nm} の第 6 ビット目
DB7_{11-nm} : 表示駆動画素データ GD_{11-nm} の第 7 ビット目
DB8_{11-nm} : 表示駆動画素データ GD_{11-nm} の第 8 ビット目
DB9_{11-nm} : 表示駆動画素データ GD_{11-nm} の第 9 ビット目
DB10_{11-nm} : 表示駆動画素データ GD_{11-nm} の第 10 ビット目
DB11_{11-nm} : 表示駆動画素データ GD_{11-nm} の第 11 ビット目
DB12_{11-nm} : 表示駆動画素データ GD_{11-nm} の第 12 ビット目

の如く 12 分割した表示駆動画素データビット DB1_{11-nm} ～ DB12_{11-nm} として捉え、これら DB1_{11-nm}、DB2_{11-nm}、……、DB12_{11-nm} 各々を、駆動制御回路 2 から供給された読出信号に従って 1 行分毎に順次読み出してアドレスドライバ 6 に供給するのである。

【0034】駆動制御回路 2 は、上記入力映像信号中の水平及び垂直同期信号に同期して、上記 A/D 変換器 4 に対するクロック信号、及びメモリ 5 に対する書込・読出信号を発生する。更に、駆動制御回路 2 は、かかる水平及び垂直同期信号に同期して、アドレスドライバ 6、第 1 サステインドライバ 7 及び第 2 サステインドライバ 8 各々を駆動制御すべき各種タイミング信号を発生する。

【0035】アドレスドライバ 6 は、駆動制御回路 2 から供給されたタイミング信号に応じて、かかるメモリ 5 から読み出された 1 行分の表示駆動画素データビット DB 各々の論理レベルに対応した電圧を有する m 個の画素データパルスが発生し、これらを PDP 10 の列電極 $D_1 \sim D_m$ に夫々印加する。PDP 10 は、アドレス電極としての上記列電極 $D_1 \sim D_m$ と、これら列電極と直交して配列されている行電極 $X_1 \sim X_n$ 及び行電極 $Y_1 \sim Y_n$ を備えている。PDP 10 では、これら行電極 X 及び行電極 Y の一対にて 1 行分に対応した行電極を形成している。

素データ D は、図 1 4 に示されるが如き、全部で 13 パターンからなる 12 ビットの表示駆動画素データ GD に変換されるのである。

【0033】図 2 のメモリ 5 は、駆動制御回路 2 から供給されてくる書込信号に従って上記表示駆動画素データ GD を順次書き込んで記憶する。かかる書込動作により、1 画面 (n 行、 m 列) 分の表示駆動画素データ GD_{11-nm} の書き込みが終了すると、メモリ 5 は、駆動制御回路 2 から供給されてくる読出信号に応じて、表示駆動画素データ GD_{11-nm} を同一ビット桁同士にて 1 行分毎に順次読み出し、アドレスドライバ 6 に供給する。すなわち、メモリ 5 は、各々が 12 ビットからなる 1 画面分の駆動表示駆動画素データ GD_{11-nm} を各ビット桁毎に、

すなわち、PDP 10 における第 1 行目の行電極対は行電極 X_1 及び Y_1 であり、第 n 行目の行電極対は行電極 X_n 及び Y_n である。上記行電極対及び列電極は放電空間に対して誘電体層で被覆されており、各行電極対と列電極との交点にて画素に対応した放電セルが形成される構造となっている。

【0036】第 1 サステインドライバ 7 及び第 2 サステインドライバ 8 各々は、駆動制御回路 2 から供給されたタイミング信号に応じて、以下に説明するが如き各種駆動パルスを発生し、これらを PDP 10 の行電極 $X_1 \sim X_n$ 及び $Y_1 \sim Y_n$ に印加する。図 1 5 は、上記アドレスドライバ 6、第 1 サステインドライバ 7 及び第 2 サステインドライバ 8 各々が PDP 10 の列電極 $D_1 \sim D_m$ 、行電極 $X_1 \sim X_n$ 及び $Y_1 \sim Y_n$ に印加する各種駆動パルスの印加タイミングの一例を示す図である。

【0037】尚、図 1 5 に示される一例においては、1 フィールドの表示期間を 12 個のサブフィールド $SF1 \sim SF12$ に分割して PDP 10 に対する階調駆動を行うものである。この際、各サブフィールド内では、PDP 10 の各放電セルに対して画素データの書き込みを行って“発光セル”及び“非発光セル”の設定を行う画素データ書込行程 Wc と、上記“発光セル”のみを各サブフィールドの重み付けに対応した期間(回数)だけ発光維持させる発光維持行程 Ic とを実施する。ただし、先頭のサブ

フィールドSF1においてのみで、PDP10の全放電セルを初期化せしめる一斉リセット行程Rcを実行し、最後尾のサブフィールドSF12のみで消去行程Eを実行する。

【0038】 先ず、上記一斉リセット行程Rcでは、第1サスティンドライバ7及び第2サスティンドライバ8各々が、PDP10の行電極 $X_1 \sim X_n$ 及び $Y_1 \sim Y_n$ 各々に対して図15に示されるが如きリセットパルス RP_x 及び RP_y を同時に印加する。これらリセットパルス RP_x 及び RP_y の印加に応じて、PDP10中の全ての放電セルがリセット放電して、各放電セル内には一様に所定の壁電荷が形成される。これにより、全放電セルは一旦、上記“発光セル”に設定される。

【0039】 次に、画素データ書込行程Wcでは、アドレスドライバ6が、上記メモリ5から供給された表示駆動画素データビットDBの論理レベルに対応した電圧を有する画素データパルスを生成し、これを1行分毎に順次列電極 D_{1-m} に印加して行く。すなわち、先ず、サブフィールドSF1の画素データ書込行程Wcでは、上記表示駆動画素データビットDB 1_{11-nm} の内から第1行目に対応した分、つまりDB 1_{11-1m} を抽出し、これらDB 1_{11-1m} 各々の論理レベルに対応したm個分の画素データパルスからなる画素データパルス群DP 1_1 を生成して列電極 D_{1-m} に印加する。次に、かかる表示駆動画素データビットDB 1_{11-nm} の内の第2行目に対応した分であるDB 1_{21-2m} を抽出し、これらDB 1_{21-2m} 各々の論理レベルに対応したm個分の画素データパルスからなる画素データパルス群DP 1_2 を生成して列電極 D_{1-m} に印加する。以下、同様にして、サブフィールドSF1の画素データ書込行程Wc内では、1行分毎の画素データパルス群DP $1_3 \sim DP1_n$ を順次列電極 D_{1-m} に印加して行く。引き続き、サブフィールドSF2の画素データ書込行程Wc内では、先ず、上記表示駆動画素データビットDB 2_{11-nm} の内から第1行目に対応した分、つまりDB 2_{11-1m} を抽出し、これらDB 2_{11-1m} 各々の論理レベルに対応したm個分の画素データパルスからなる画素データパルス群DP 2_1 を生成して列電極 D_{1-m} に印加する。次に、かかる表示駆動画素データビットDB 2_{11-nm} の内の第2行目に対応した分であるDB 2_{21-2m} を抽出し、これらDB 2_{21-2m} 各々の論理レベルに対応したm個分の画素データパルスからなる画素データパルス群DP 2_2 を生成して列電極 D_{1-m} に印加する。以下、同様にして、サブフィールドSF2の画素データ書込行程Wc内では、1行分毎の画素データパルス群DP $2_3 \sim DP2_n$ を順次列電極 D_{1-m} に印加して行く。以下、サブフィールドSF3 \sim SF12各々での画素データ書込行程Wcにおいても同様に、アドレスドライバ6は、表示駆動画素データビットDB $3_{11-nm} \sim DB12_{11-nm}$ 各々に基づいて生成した画素データパルス群DP $3_{1-n} \sim DP12_{1-n}$ 各々をサブフィールドSF3 \sim SF

12各々に割り当て、これらを列電極 D_{1-m} に印加して行くのである。尚、アドレスドライバ6は、表示駆動画素データビットDBの論理レベルが“1”である場合には高電圧の画素データパルスを生成し、“0”である場合には低電圧(0ボルト)の画素データパルスを生成するものとする。

【0040】 更に、画素データ書込行程Wcでは、第2サスティンドライバ8が、上述した如き画素データパルス群DPの各印加タイミングと同一タイミングにて、図15に示されるが如き負極性の走査パルスSPを発生し、これを行電極 $Y_1 \sim Y_n$ へと順次印加して行く。この際、走査パルスSPが印加された“行”と、高電圧の画素データパルスが印加された“列”との交差部の放電セルにのみ放電(選択消去放電)が生じ、その放電セル内に残存していた壁電荷が選択的に消去される。すなわち、表示駆動画素データGDにおける第1ビット \sim 第12ビット各々が、サブフィールドSF1 \sim SF12各々での画素データ書込行程Wcにおいて選択消去放電を生起させるか否かを決定しているのである。かかる選択消去放電により、上記一斉リセット行程Rcにて“発光セル”の状態に初期化された放電セルは、“非発光セル”に推移する。一方、低電圧の画素データパルスが印加された“列”に形成されている放電セルには放電が生起されず、現状が保持される。つまり、“非発光セル”の放電セルは“非発光セル”のまま、“発光セル”の放電セルは“発光セル”の状態をそのまま維持するのである。このように、各サブフィールド毎の画素データ書込行程Wcにより、その直後の発光維持行程Icにて維持放電が生起される“発光セル”と、維持放電が生起されない“非発光セル”とが設定される。

【0041】 次に、各サブフィールドの発光維持行程Icでは、第1サスティンドライバ7及び第2サスティンドライバ8各々が、行電極 $X_1 \sim X_n$ 及び $Y_1 \sim Y_n$ に対して図15に示されるように交互に正極性の維持パルス IP_x 及び IP_y を印加する。ここで、発光維持行程Icにおいて印加される維持パルスIPの回数は、各サブフィールド毎にその重み付けに応じて設定されており、更に、図2に示されるデータ変換回路30から供給された輝度モード信号LC、及び上記入力セクタ3において入力映像信号として選択された映像信号の種別に応じて異なる。

【0042】 図16は、入力映像信号としてTV信号が選択された場合にサブフィールドSF1 \sim SF12各々の発光維持行程Icにおいて印加する維持パルスIPの回数を示す図である。尚、図16(A)は奇数フィールド(奇数フレーム)の表示時、図16(B)は偶数フィールド(偶数フレーム)の表示時において印加する維持パルスIPの回数を、輝度モード信号LCに応じた各モード毎に夫々示すものである。

【0043】 一方、図17は、入力映像信号としてPC

映像信号が選択された場合にサブフィールドSF1～SF12各々の発光維持行程Icにおいて印加すべき維持パルスIPの回数を示す図である。尚、図17(A)は奇数フィールド(奇数フレーム)の表示時、図17(B)は偶数フィールド(偶数フレーム)の表示時において印加する維持パルスIPの回数を、輝度モード信号LCに応じた各モード毎に夫々示すものである。

【0044】例えば、駆動制御回路2は、入力映像信号としてTV信号を指定する入力映像指定信号S_v、及び輝度モード1を示す輝度モード信号LCの各々が供給された場合には、図18に示されるが如き発光駆動シーケンスに従った動作を実施させるべき各種タイミング信号をアドレスドライバ6、第1サスティンドライバ7及び第2サスティンドライバ8各々に供給する。

【0045】尚、図18(A)は奇数フィールド(奇数フレーム)の表示、図18(B)は偶数フィールド(偶数フレーム)の表示時において実施する発光駆動シーケンスを夫々示している。つまり、入力指定された映像信号がTV信号であり、かつ輝度モード1である場合、各サブフィールドSF1～SF12各々の発光維持行程Icで印加する維持パルスIPの回数比は、奇数フィールド(奇数フレーム)の表示時には、図18(A)に示されるが如く、

SF1:2
SF2:2
SF3:6
SF4:8
SF5:11
SF6:17
SF7:22
SF8:28
SF9:35
SF10:43
SF11:51
SF12:30

となり、偶数フィールド(偶数フレーム)の表示時には、図18(B)に示されるが如く、

SF1:1
SF2:2
SF3:4
SF4:6
SF5:10
SF6:14
SF7:19
SF8:25
SF9:31
SF10:39
SF11:47
SF12:57

となる。

【0046】一方、入力映像信号としてPC映像信号を指定する入力映像指定信号S_v、及び輝度モード1を示す輝度モード信号LCの各々が供給された場合、駆動制御回路2は、図19に示されるが如き発光駆動シーケンスに従った動作を実施させるべき各種タイミング信号をアドレスドライバ6、第1サスティンドライバ7及び第2サスティンドライバ8各々に供給する。

【0047】尚、図19(A)は奇数フィールド(奇数フレーム)の表示、図19(B)は偶数フィールド(偶数フレーム)の表示時において実施する発光駆動シーケンスを夫々示している。つまり、入力映像信号がPC映像信号であり、かつ輝度モード1である場合、各サブフィールドSF1～SF12各々の発光維持行程Icで印加する維持パルスIPの回数比は、奇数フィールド(奇数フレーム)の表示時には、図19(A)に示されるが如く、

SF1:1
SF2:2
SF3:4
SF4:7
SF5:11
SF6:14
SF7:20
SF8:25
SF9:33
SF10:40
SF11:48
SF12:50

となり、偶数フィールド(偶数フレーム)の表示時には、図19(B)に示されるが如く、

SF1:1
SF2:2
SF3:4
SF4:6
SF5:10
SF6:14
SF7:19
SF8:25
SF9:31
SF10:39
SF11:47
SF12:57

となる。

【0048】この際、上記サブフィールドSF1～SF12各々で印加される維持パルスIPの回数比は、非線形(すなわち、逆ガンマ比率、 $Y=X^2$ 、²⁾)であり、これにより入力映像信号に予め施されている非線形特性(ガンマ特性)を補正するようにしている。尚、上記サブフィールドSF1～SF12各々の内、低輝度発光を担うサブフィールドの数を、高輝度発光を担うサブフィールドの数よりも多くしてある。つまり、維持パルスI

Pの印加回数が25回以下となる比較的低輝度発光を担うサブフィールドの数はSF1～SF8までの8個であり、高輝度発光を担うサブフィールドSF9～SF12の個数よりも多い。

【0049】そして、最後尾のサブフィールドSF12のみで消去行程Eを実行する。かかる消去行程Eにおいては、アドレスドライバ6が、図15に示されるが如き正極性の消去パルスAPを発生してこれを列電極D_{1-m}に印加する。更に、第2サステインドライバ8は、かかる消去パルスAPの印加タイミングと同時に図15に示されるが如き負極性の消去パルスEPを発生してこれを行電極Y_{1-n}～Y_n各々に印加する。これら消去パルスAP及びEPの同時印加により、PDP10における全放電セル内において消去放電が生起され、全ての放電セル内に残存している壁電荷が消滅する。すなわち、かかる消去放電により、PDP10における全ての放電セルが“非発光セル”になるのである。

【0050】ここで、図18又は図19に示される各サブフィールド内において、画素データ書込行程Wcで“発光セル”に設定された放電セルのみが、その直後に実施される発光維持行程Icにおいて、上述した如き回数比に従った回数だけ維持放電を繰り返してその発光状態を維持する。この際、各放電セルが各サブフィールド毎に、“発光セル”、“非発光セル”のいずれに設定されるかは、図14に示されるが如き表示駆動画素データGDによって決まる。すなわち、表示駆動画素データGDの第1ビット～第12ビット各々はサブフィールドSF1～SF12各々に対応しており、そのビットの論理レベルが例えば論理レベル“1”である場合に限り、そのビット桁に対応したサブフィールドの画素データ書込行程Wcにおいて選択消去放電が生起され、放電セルは“非発光セル”に設定される。一方、そのビットの論理レベルが論理レベル“0”である場合には、上記選択消去放電は生起されないで、現状を維持する。つまり、“非発光セル”の放電セルは“非発光セル”のまま、“発光セル”の放電セルは“発光セル”の状態をそのまま維持するのである。この際、サブフィールドSF1～SF12の中で、放電セルを“非発光セル”の状態から“発光セル”に推移させることが出来る機会は、先頭のサブフィールドSF1でのリセット行程Rcのみである。よって、このリセット行程Rcの終了後、サブフィールドSF1～SF12のいずれか1の画素データ書込行程Wcにおいて選択消去放電が生起されて、一旦“非発光セル”に推移してしまった放電セルは、このフィールド内において再び“発光セル”に推移することはない。従って、図14に示されるが如き表示駆動画素データGDのデータパターンによれば、各放電セルは図14の黒丸に示されるサブフィールドにて選択消去放電が生起されるまでの間だけ“発光セル”となり、その間に存在する白丸にて示されるサブフィールド各々の発光維持行程Icにて上述した如き回

数だけ維持放電を行う。

【0051】これにより、入力映像信号がTV信号であり、かつ輝度モード1である場合には、図14に示されるように、奇数フィールド(奇数フレーム)表示時には、

{0:2:4:10:18:29:46:68:96:131:174:225:255}なる13階調分の輝度表現を有する階調駆動が為され、偶数フィールド(偶数フレーム)表示時には、

{0:1:3:7:13:23:37:56:81:112:151:198:255}なる13階調分の輝度表現を有する階調駆動が為される。

【0052】図20は、入力映像信号がTV信号である場合に、この入力映像信号と、かかる入力映像信号に応じて実際にPDP10に表示される画像の表示輝度との対応関係を示す図である。図20において、“□”は、図18(A)に示されるが如き発光駆動シーケンスに従った階調駆動によって得られる階調輝度点、“◇”は、図18(B)に示されるが如き発光駆動シーケンスに従った階調駆動によって得られる階調輝度点を夫々示している。

【0053】図20に示されるように、入力映像信号がTV信号である場合には、図18(A)及び図18(B)に示されるが如き発光駆動シーケンスを1フィールド(1フレーム)毎に交互に切り換えて実施する。かかる駆動によれば、一方の発光駆動シーケンスで得られる2つの階調輝度点の中間に、他方の発光駆動シーケンスで得られる階調輝度点が付加されることになる。

【0054】尚、図20において、互いに隣接する階調輝度点、すなわち、“□”と“◇”との間の輝度は、上述した如き誤差拡散処理、及びディザ処理等の多階調化処理によって得られる。図21は、図20中における領域E1内において、図18(A)に示される発光駆動シーケンスで得られる階調輝度点(“□”)と、図18(B)に示される発光駆動シーケンスで得られる階調輝度点(“◇”)と、誤差拡散処理で得られる階調輝度点(“●”)と、ディザ処理で得られる階調輝度点(“■”)との位置関係を示す図である。

【0055】この際、図21に示されるように、上記ディザ処理によって擬似的に得られる階調輝度点の各々の一部(“■”)は、図18(A)及び図18(B)に示される発光駆動シーケンスの実施によって得られる階調輝度点(“□”)と同一輝度レベルになっている。従って、TV信号の如き比較的S/Nの悪い入力映像信号に対しては、時間方向の積分効果によりフリッカを抑え、かつディザノイズを軽減しつつ上記誤差拡散処理及びディザ処理による擬似的な階調数増加が図られるのである。

【0056】一方、入力映像信号が、比較的S/Nの良いPC映像信号である場合には、図14に示されるように、奇数フィールド(奇数フレーム)表示時には、{0:1:3:7:14:25:39:59:84:117:157:205:255}なる13階調分の輝度表現を有する階調駆動が為され、偶数フィールド(偶数フレーム)表示時には、{0:1:

3:7:13:23:37:56:81:112:151:198:255) なる13階調分の輝度表現を有する階調駆動が為される。

【0057】図22は、入力映像信号が上記PC映像信号である場合に、この入力映像信号と、かかる入力映像信号に応じてPDP10上に表示される画像の表示輝度との対応関係を示す図である。図22において、“□”は、図19(A)に示されるが如き発光駆動シーケンスに従った階調駆動によって得られる階調輝度点、“◇”は、図19(B)に示されるが如き発光駆動シーケンスに従った階調駆動によって得られる階調輝度点を夫々示している。

【0058】図22に示されるように、入力映像信号がPC映像信号である場合には、1フィールド(1フレーム)毎に図19(A)及び図19(B)に示されるが如き、互いに階調輝度点が僅かにずれている発光駆動シーケンスを交互に切り換えて実施する。かかる駆動によれば、一方の発光駆動シーケンスで得られる2つの階調輝度点の間で一方の階調輝度点に近い位置に、他方の発光駆動シーケンスで得られる階調輝度点が付加されることになる。

【0059】尚、図22において、“□”及び“◇”なる階調輝度点によって示される輝度以外の輝度は、上述した如き誤差拡散処理、ディザ処理等の多階調化処理によって得られる。図23は、図22中における領域E2内において、図19(A)に示される発光駆動シーケンスで得られる階調輝度点(“□”)と、図19(B)に示される発光駆動シーケンスで得られる階調輝度点(“◇”)と、誤差拡散処理で得られる階調輝度点(“●”)と、ディザ処理で得られる階調輝度点(“■”)との位置関係を示す図である。

【0060】このように、PC映像信号が入力指定された場合には、そのディザ処理時において、図12に示されるが如き3ビットのディザ係数 $a \sim d$ ($a=0, b=2, c=4, d=6$)が用いられる為、図23に示されるように、誤差拡散処理によって得られる階調輝度点各々による分布には粗密が生じる。よって、図23に示されるように、上記誤差拡散処理及びディザ処理によって擬似的に得られる階調輝度点の各々と、図19(A)及び図19(B)に示されるが如き発光駆動シーケンスの実施によって得られる階調輝度点の各々とは互いに異なる輝度レベルとなる。

【0061】従って、時間方向の積分効果により、視覚上における表示階調数は、図18に示される発光駆動シーケンス(すなわち、入力映像信号としてTV信号が指定された場合に用いられる発光駆動シーケンス)を採用した場合に比して略2倍に増加する。すなわち、PC映像信号の如き比較的S/Nの良い映像信号が入力指定された場合には、誤差拡散処理及びディザ処理によって得られる擬似的な階調輝度点を、図19(A)及び図19(B)に示されるが如き発光駆動シーケンスの実施によって得られる階調輝度点に対してずらすことにより、擬似的に表現される階調数を大幅に増加するのである。

【0062】尚、上記実施例においては、画素データの書込方法として、予め各放電セルに壁電荷を形成させて全放電セルを発光セルに設定しておき、それから画素データに応じて選択的にその壁電荷を消去することにより画素データの書込を為すという、いわゆる選択消去アドレス法を採用した場合について述べた。しかしながら、本発明は、画素データの書込方法として、画素データに応じて選択的に壁電荷を形成するようにした、いわゆる選択書込アドレス法を採用した場合についても同様に適用可能である。

【0063】図24は、この選択書込アドレス法を採用した場合に、上記アドレスドライバ6、第1サスティンドライバ7及び第2サスティンドライバ8各々がPDP10の列電極 $D_1 \sim D_m$ 、行電極 $X_1 \sim X_n$ 及び $Y_1 \sim Y_n$ に印加する各種駆動パルスの印加タイミングの一例を示す図である。又、図25は、選択書込アドレス法を採用した場合に、入力映像信号としてTV信号が指定された時に実施される発光駆動シーケンスを示す図であり、図26は、PC映像信号が指定された時に実施される発光駆動シーケンスを示す図である。尚、図25(A)及び図26(A)各々は奇数フィールド(奇数フレーム)の表示、図25(B)及び図26(B)各々は偶数フィールド(偶数フレーム)の表示時において実施する発光駆動シーケンスを夫々示している。

【0064】更に、図27は、かかる選択書込アドレス法を採用した場合に、図6に示される第2データ変換回路34において用いられる変換テーブル、並びに1フィールド期間内で実施される発光駆動の全パターンを示す図である。ここで、上記図24に示されるように、選択書込アドレス法を採用した場合には、先ず、先頭のサブフィールドSF12での一斉リセット行程Rcにおいて、第1サスティンドライバ7及び第2サスティンドライバ8は、PDP10の行電極X及びYに夫々リセットパルス RP_x 及び RP_y を同時に印加する。これにより、PDP10中の全ての放電セルをリセット放電せしめ、各放電セル内に強制的に壁電荷を形成させる(R_1)。その直後に、第1サスティンドライバ7は、消去パルスEPをPDP10の行電極 $X_1 \sim X_n$ に一斉に印加することにより、全放電セル内に形成された上記壁電荷を消去させる(R_2)。すなわち、図24に示されるが如き一斉リセット行程Rcの実行によれば、PDP10における全ての放電セルは、一旦、“非発光セル”の状態に初期化されるのである。

【0065】次に、画素データ書込行程Wcでは、アドレスドライバ6が、上記メモリ5から供給された表示駆動画素データビットDBの論理レベルに対応した電圧を有する画素データパルスを生成し、これを1行分毎に順次列電極 $D_{1 \sim m}$ に印加して行く。すなわち、先ず、サブフィールドSF12の画素データ書込行程Wcでは、上記表示駆動画素データビットDB12_{11~nm}の内から第

1行目に対応した分、つまり $DB12_{11-1m}$ を抽出し、これら $DB12_{11-1m}$ 各々の論理レベルに対応した m 個分の画素データパルスからなる画素データパルス群 $DP12_1$ を生成して列電極 D_{1-m} に印加する。次に、かかる表示駆動画素データビット $DB12_{11-nm}$ の内の第2行目に対応した分である $DB12_{21-2m}$ を抽出し、これら $DB12_{21-2m}$ 各々の論理レベルに対応した m 個分の画素データパルスからなる画素データパルス群 $DP12_2$ を生成して列電極 D_{1-m} に印加する。以下、同様にして、サブフィールド $SF12$ の画素データ書込行程 Wc 内では、1行分毎の画素データパルス群 $DP12_3 \sim DP12_n$ を順次列電極 D_{1-m} に印加して行く。引き続き、サブフィールド $SF11$ の画素データ書込行程 Wc 内では、先ず、上記表示駆動画素データビット $DB11_{11-nm}$ の内から第1行目に対応した分、つまり $DB11_{11-1m}$ を抽出し、これら $DB11_{11-1m}$ 各々の論理レベルに対応した m 個分の画素データパルスからなる画素データパルス群 $DP11_1$ を生成して列電極 D_{1-m} に印加する。次に、かかる表示駆動画素データビット $DB11_{11-nm}$ の内の第2行目に対応した分である $DB11_{21-2m}$ を抽出し、これら $DB11_{21-2m}$ 各々の論理レベルに対応した m 個分の画素データパルスからなる画素データパルス群 $DP11_2$ を生成して列電極 D_{1-m} に印加する。以下、同様にして、サブフィールド $SF11$ の画素データ書込行程 Wc 内では、1行分毎の画素データパルス群 $DP11_3 \sim DP11_n$ を順次列電極 D_{1-m} に印加して行く。以下、サブフィールド $SF10 \sim SF1$ 各々での画素データ書込行程 Wc においても同様に、アドレスドライバ6は、表示駆動画素データビット $DB10_{11-nm} \sim DB11_{11-nm}$ 各々に基づいて生成した画素データパルス群 $DP10_{1-n} \sim DP11_{1-n}$ 各々をサブフィールド $SF10 \sim SF1$ 各々に割り当て、これらを列電極 D_{1-m} に印加して行くのである。尚、アドレスドライバ6は、表示駆動画素データビット DB の論理レベルが“1”である場合には高電圧の画素データパルスを生成し、“0”である場合には低電圧(0ボルト)の画素データパルスを生成するものとする。

【0066】更に、画素データ書込行程 Wc では、第2サスティンドライバ8が、上述した如き画素データパルス群 DP の各印加タイミングと同一タイミングにて、図246に示されるが如き負極性の走査パルス SP を発生し、これを行電極 $Y_1 \sim Y_n$ へと順次印加して行く。この際、走査パルス SP が印加された“行”と、高電圧の画素データパルスが印加された“列”との交差部の放電セルにのみ放電(選択書込放電)が生じ、その放電セル内に選択的に壁電荷が形成される。かかる選択書込放電により、上記一斉リセット行程 Rc にて“非発光セル”の状態に初期化された放電セルは、“発光セル”に推移する。一方、低電圧の画素データパルスが印加された“列”に形成されている放電セルには上記選択書込放電は生起され

ず、現状が保持される。つまり、“非発光セル”の放電セルは“非発光セル”のまま、“発光セル”の放電セルは“発光セル”の状態をそのまま維持するのである。このように、各サブフィールド毎の画素データ書込行程 Wc により、その直後の発光維持行程 Ic にて維持放電が生起される“発光セル”と、維持放電が生起されない“非発光セル”とが設定される。

【0067】次に、各サブフィールドの発光維持行程 Ic では、第1サスティンドライバ7及び第2サスティンドライバ8各々が、行電極 $X_1 \sim X_n$ 及び $Y_1 \sim Y_n$ に対して図24に示されるように交互に正極性の維持パルス IP_x 及び IP_y を印加する。この際、各サブフィールドの発光維持行程 Ic において印加すべき維持パルス IP の回数は、図25又は図26に示されるが如く、入力映像信号として選択された映像信号の種類に応じて異なる。

【0068】そして、図24に示されるように、選択書込アドレス法を採用した場合には、最後尾のサブフィールド $SF1$ のみで消去行程 E を実行する。かかる消去行程 E においては、アドレスドライバ6が、図24に示されるが如き負極性の消去パルス EP を発生してこれを行電極 $Y_1 \sim Y_n$ 各々に同時に印加する。かかる消去パルス EP の同時印加により、 $PDP10$ における全放電セル内において消去放電が生起され、全ての放電セル内に残存している壁電荷が消滅する。すなわち、かかる消去放電により、 $PDP10$ における全ての放電セルが“非発光セル”になるのである。

【0069】ここで、図25又は図26に示される各サブフィールド内の画素データ書込行程 Wc において、“発光セル”に設定された放電セルのみが、その直後に実施される発光維持行程 Ic にて、図中に記述されている回数だけ維持放電を繰り返す、その発光状態を維持する。この際、放電セルがサブフィールド各々のデータ書込行程 Wc において、“発光セル”、“非発光セル”のいずれに設定されるのかは、図27に示されるが如き表示駆動画素データ GD によって決まる。すなわち、表示駆動画素データ GD の第1ビット～第12ビット各々はサブフィールド $SF1 \sim SF12$ 各々に対応しており、そのビットの論理レベルが例えば論理レベル“1”である場合に限りそのビット桁に対応したサブフィールドの画素データ書込行程 Wc において上述した如き選択書込放電が生起されて、放電セルは“発光セル”に設定される。一方、そのビットの論理レベルが論理レベル“0”である場合には、上述した如き選択書込放電は生起されないの、現状を維持する。つまり、“非発光セル”の放電セルは“非発光セル”のまま、“発光セル”の放電セルは“発光セル”の状態をそのまま維持するのである。この際、サブフィールド $SF12 \sim SF1$ の内で、放電セルを“発光セル”の状態から“非発光セル”に推移させることが出来る機会は、先頭のサブフィールド $SF12$ でのリセット行程 Rc のみである。よって、このリセット行程 Rc の

終了後、サブフィールドSF12～SF1のいずれか1の画素データ書き込行程Wcにおいて選択書込放電が生起されて、一旦“発光セル”に推移してしまった放電セルは、このフィールド内において再び“非発光セル”に推移することはない。従って、図27に示される表示駆動画素データGDによれば、各放電セルは図27の黒丸に示されるサブフィールドにおいて選択書込放電が生起されるまでの間は“非発光セル”の状態を維持し、黒丸以降のサブフィールド各々の発光維持行程1cにて、図25又は図26中に記述されている回数だけ維持放電を繰り返す、その放電発光状態を維持する。

【0070】これにより、入力映像信号がTV信号であり、かつ輝度モード1である場合には、図27に示されるように、奇数フィールド(奇数フレーム)表示時には、{0:2:4:10:18:29:46:68:96:131:174:225:255}なる13階調分の輝度表現を有する階調駆動が為され、偶数フィールド(偶数フレーム)表示時には、{0:1:3:7:13:23:37:56:81:112:151:198:255}なる13階調分の輝度表現を有する階調駆動が為される。

【0071】一方、入力映像信号がPC映像信号である場合には、図27に示されるように、奇数フィールド(奇数フレーム)表示時には、{0:1:3:7:14:25:39:59:84:117:157:205:255}なる13階調分の輝度表現を有する階調駆動が為され、偶数フィールド(偶数フレーム)表示時には、{0:1:3:7:13:23:37:56:81:112:151:198:255}なる13階調分の輝度表現を有する階調駆動が為される。

【0072】この際、かかる階調駆動による輝度表現は、画素データ書き込み方法として前述した如き選択消去アドレス法を採用した場合と同一である。従って、選択書込アドレス法を採用した場合にも上記選択消去アドレス法を採用した場合と同様に、入力指定された映像信号の種別に応じて適切な疑似階調数の増大が図られるのである。

【0073】又、上記実施例においては、サブフィールドSF1～SF12の内のいずれか1の画素データ書き込行程Wcにおいて、走査パルスSPと高電圧の画素データパルスとの同時印加により選択消去(書込)放電を生起させるようにしているが、放電セル内に残留する荷電粒子の量が少ないと、この選択消去(書込)放電が正常に生起されず、放電セル内の壁電荷を正常に消去(形成)できない場合がある。この際、例えばA/D変換後の画素データDが低輝度を示すデータであっても、最高輝度に対応した発光が為されてしまい、画像品質を著しく低下させるという問題が生じる。

【0074】そこで、第2データ変換回路34において用いる変換テーブルを、上記図14及び図27に示されるものから図28及び図29に示されるものに変更して階調駆動を実施する。尚、図28は、選択消去アドレス

法を採用した場合に第2データ変換回路34で用いる変換テーブル、並びに1フィールド期間内で実施される発光駆動パターンを示す図であり、図29は、選択書込アドレス法を採用した場合での上記変換テーブル及び発光駆動パターンを示す図である。ここで、これら図28及び図29に示されている“*”は、論理レベル“1”又は“0”のいずれでも良いことを示し、三角印は、かかる“*”が論理レベル“1”である場合に限り選択消去(書込)放電が生起されることを示している。

【0075】これら図28及び図29に示される表示駆動画素データGDによれば、少なくとも連続して2回分の“選択消去(書込)放電”が実施される。要するに、初回の選択消去(書込)放電では画素データの書込を失敗する恐れがあるので、それ以降に存在するサブフィールドの内の少なくとも1つで、再度、選択消去(書込)放電を行うことにより、画素データの書込を確実にし、誤った発光動作を防止しているのである。

【0076】

【発明の効果】以上詳述した如く、本発明によるプラズマディスプレイパネルの駆動方法においては、入力映像信号の種別に応じて、1フィールド(1フレーム)期間中の発光維持行程各々で実施される発光回数の比が互いに異なる第1及び第2発光駆動シーケンスを1フィールド(1フレーム)毎に交互に切り換えて実行する第1駆動パターン、及び上記発光維持行程各々で実施される発光回数の比が互いに異なる第3及び第4発光駆動シーケンスを1フィールド(1フレーム)毎に交互に切り換えて実行する第2駆動パターンの内から一方を選択的に実行するようにしている。

【0077】この際、入力映像信号の種別がTV信号である場合には、上記第1駆動パターンを選択的に実行することにより、上記第1発光駆動シーケンスによって得られる階調輝度点と、上記第2発光駆動シーケンスの実行時に誤差拡散及びディザ処理等の多階調化処理によって擬似的に得られる階調輝度点とを同一輝度レベルにする。一方、入力映像信号の種別がPC映像信号である場合には、上記第2駆動パターンを選択的に実行することにより、上記第3発光駆動シーケンスによって得られる階調輝度点と、上記第4発光駆動シーケンスの実行時に上記誤差拡散及びディザ処理等の多階調化処理によって擬似的に得られる階調輝度点とを互いに異なる輝度レベルにしている。

【0078】よって、TV信号の如き比較的S/Nの悪い映像信号に基づく表示を実施する場合には、フリッカの発生及びディザによるノイズの発生を抑制しつつも誤差拡散及びディザ処理等の多階調化処理による擬似的な階調数増加が図られるようになる。一方、PC映像信号の如き比較的S/Nが良い映像信号に基づく表示を実施する場合には、上記誤差拡散及びディザ処理等の多階調化処理によって擬似的に得られる階調数を略2倍に増加さ

せることが出来る。

【図面の簡単な説明】

【図 1】 64 階調の中間調表示を実施する為の発光駆動シーケンスを示す図である。

【図 2】 本発明による駆動方法に従ってプラズマディスプレイパネルを駆動するプラズマディスプレイ装置の概略構成を示す図である。

【図 3】 データ変換回路 30 の内部構成を示す図である。

【図 4】 ABL 回路 31 の内部構成を示す図である。

【図 5】 データ変換回路 312 における変換特性を示す図である。

【図 6】 第 1 データ変換回路 32 の内部構成を示す図である。

【図 7】 TV 信号が入力指定された場合に第 1 データ変換回路 32 において用いられるデータ変換特性を示す図である。

【図 8】 PC 映像信号が入力指定された場合に第 1 データ変換回路 32 において用いられるデータ変換特性を示す図である。

【図 9】 多階調化処理回路 33 の内部構成を示す図である。

【図 10】 誤差拡散処理回路 330 の動作を説明する為の図である。

【図 11】 ディザ処理回路 350 の内部構成を示す図である。

【図 12】 入力映像信号の種別毎のディザ係数 $a \sim d$ 各々の値を示す図である。

【図 13】 ディザ処理回路 350 の動作を説明する為の図である。

【図 14】 第 2 データ変換回路 34 の変換テーブル、及びこの変換テーブルによって得られた表示駆動画素データ GD による発光駆動パターンと表示輝度とを示す図である。

【図 15】 選択消去アドレス法を採用した際に、1 フィールド表示期間内において PDP 10 に印加される各種駆動パルスの印加タイミングを示す図である。

【図 16】 TV 信号が入力指定された場合における、各輝度モードと、サブフィールド SF1 ~ SF12 各々の発光維持行程 I_c での維持パルス I_P の印加回数との対応関係を示す図である。

【図 17】 PC 映像信号が入力指定された場合における、輝度モードと、サブフィールド SF1 ~ SF12 各々の発光維持行程 I_c での維持パルス I_P の印加回数との対応関係を示す図である。

【図 18】 TV 信号が入力指定された場合に実施される発光駆動シーケンスの一例を示す図である。

【図 19】 PC 映像信号が入力指定された場合に実施される発光駆動シーケンスの一例を示す図である。

【図 20】 TV 信号が入力指定された場合における、入

力映像信号に対する表示輝度特性を示す図である。

【図 21】 図 20 中における領域 E1 内において、図 18 に示される発光駆動シーケンスで得られる各階調輝度点と、誤差拡散処理及びディザ処理で得られる各階調輝度点との位置関係を示す図である。

【図 22】 PC 映像信号が入力指定された場合における、入力映像信号に対する表示輝度特性を示す図である。

【図 23】 図 22 中における領域 E2 内において、図 19 に示される発光駆動シーケンスで得られる各階調輝度点と、誤差拡散処理及びディザ処理で得られる各階調輝度点との位置関係を示す図である。

【図 24】 選択書込アドレス法を採用した際に、1 フィールド表示期間内において PDP 10 に印加される各種駆動パルスの印加タイミングを示す図である。

【図 25】 入力指定された映像信号が TV 信号である場合に実施される発光駆動シーケンス (選択書込アドレス法を採用) を示す図である。

【図 26】 入力指定された映像信号が PC 映像信号である場合に実施される発光駆動シーケンス (選択書込アドレス法を採用) を示す図である。

【図 27】 選択書込アドレス法を採用した場合に用いられる第 2 データ変換回路 34 の変換テーブル、及びこの変換テーブルによって得られた表示駆動画素データ GD に応じた発光駆動パターンと表示輝度とを示す図である。

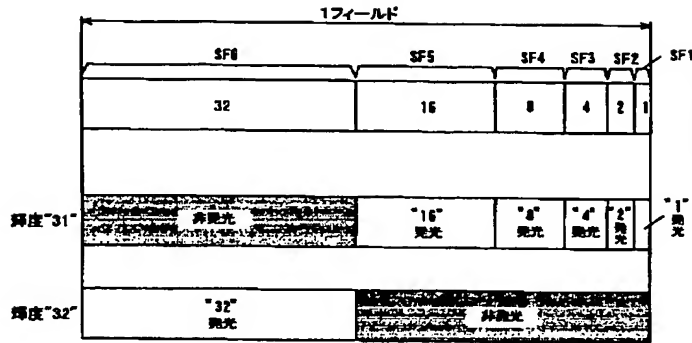
【図 28】 選択消去アドレス法を採用した場合に用いられる第 2 データ変換回路 34 の変換テーブルの他の一例、及びこの変換テーブルによって得られた表示駆動画素データ GD に応じた発光駆動パターンと表示輝度とを示す図である。

【図 29】 選択書込アドレス法を採用した場合に用いられる第 2 データ変換回路 34 の変換テーブルの他の一例、及びこの変換テーブルによって得られた表示駆動画素データ GD に応じた発光駆動パターンと表示輝度とを示す図である。

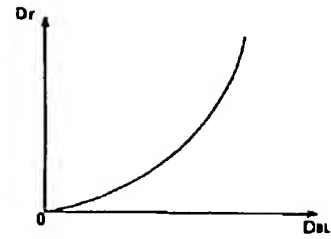
【主要部分の符号の説明】

- 1 操作装置
- 2 駆動制御回路
- 3 入力セレクト
- 6 アドレスドライバ
- 7 第 1 サスティンドライバ
- 8 第 2 サスティンドライバ
- 10 PDP
- 30 データ変換回路
- 31 ABL 回路 31
- 32 第 1 データ変換回路
- 33 多階調化処理回路
- 34 第 2 データ変換回路
- 330 誤差拡散処理回路

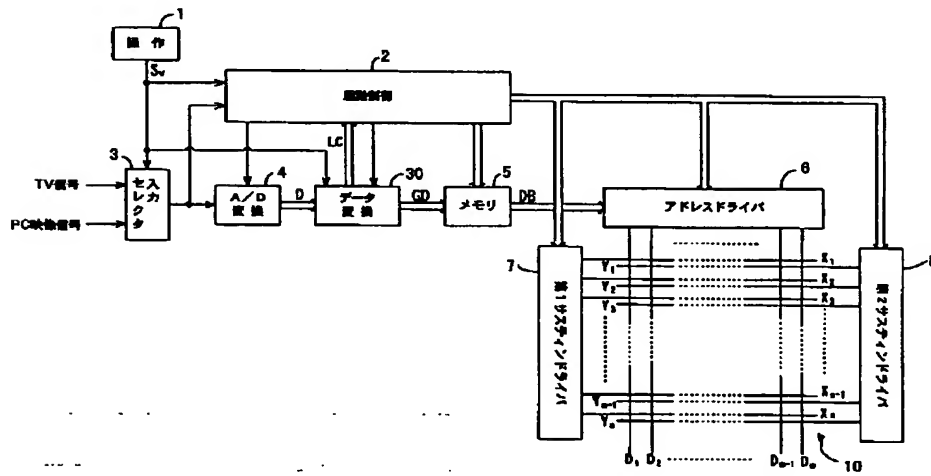
【図1】



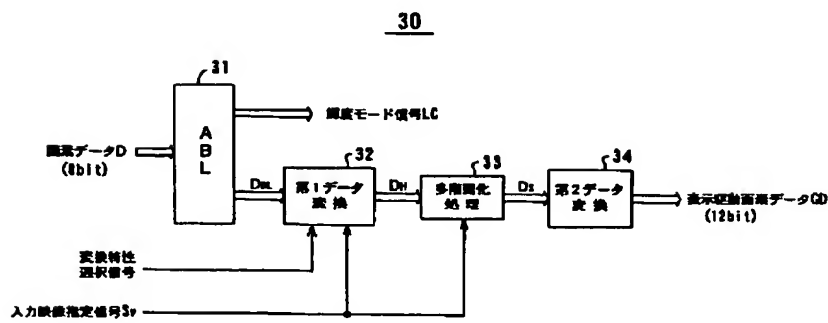
【図5】



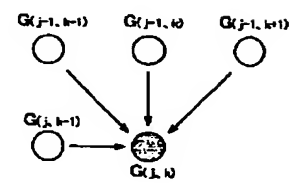
【図2】



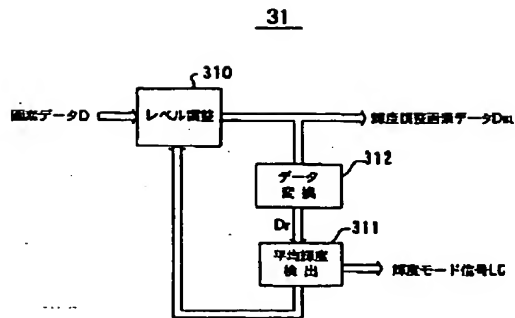
【図3】



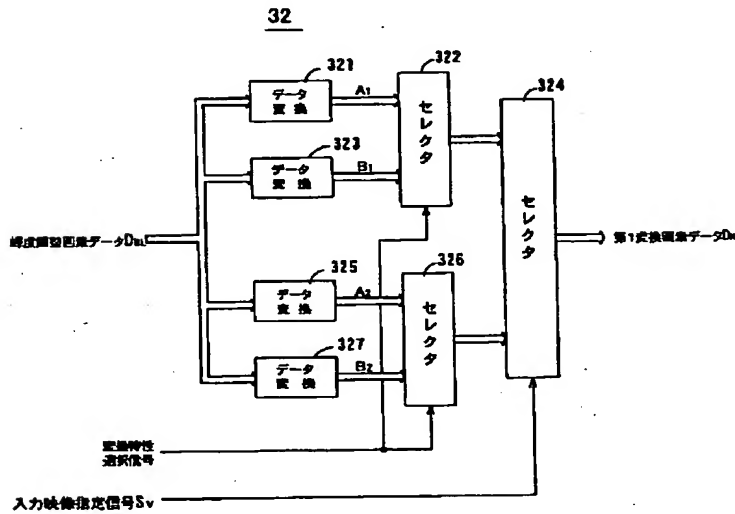
【図10】



【図 4】

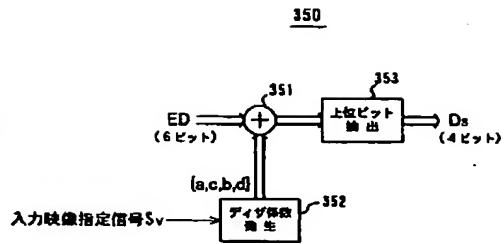


【図 6】



【図 9】

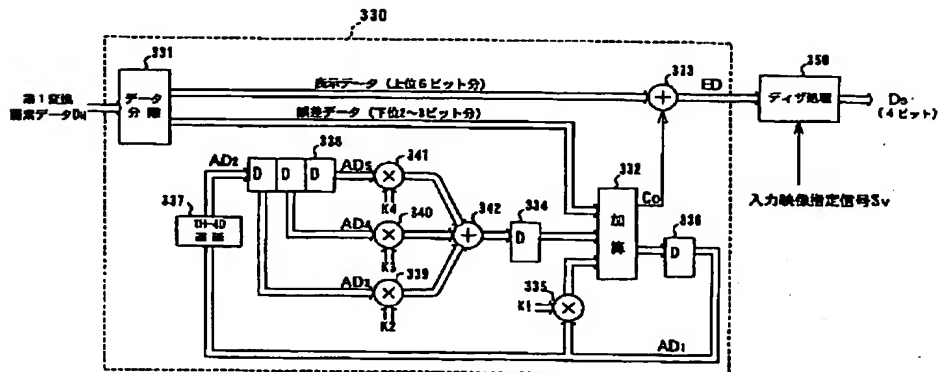
【図 11】



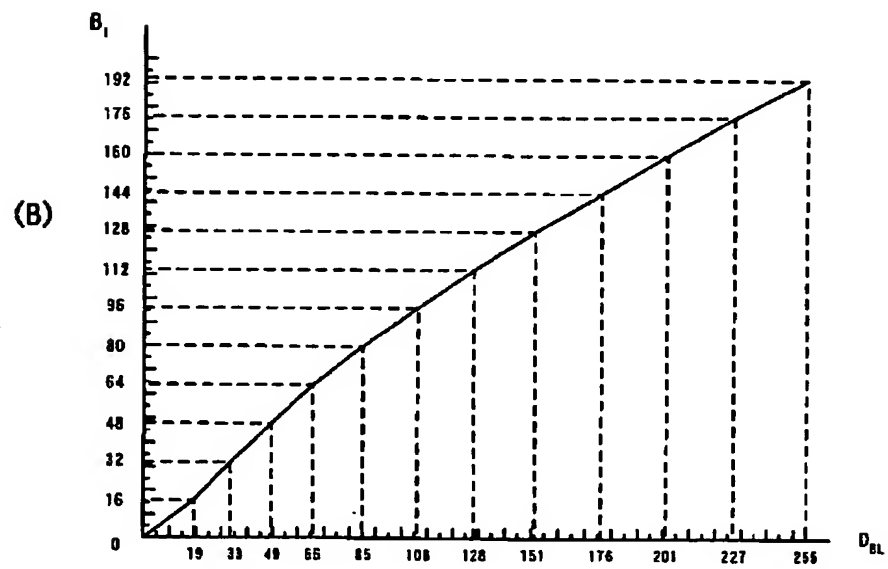
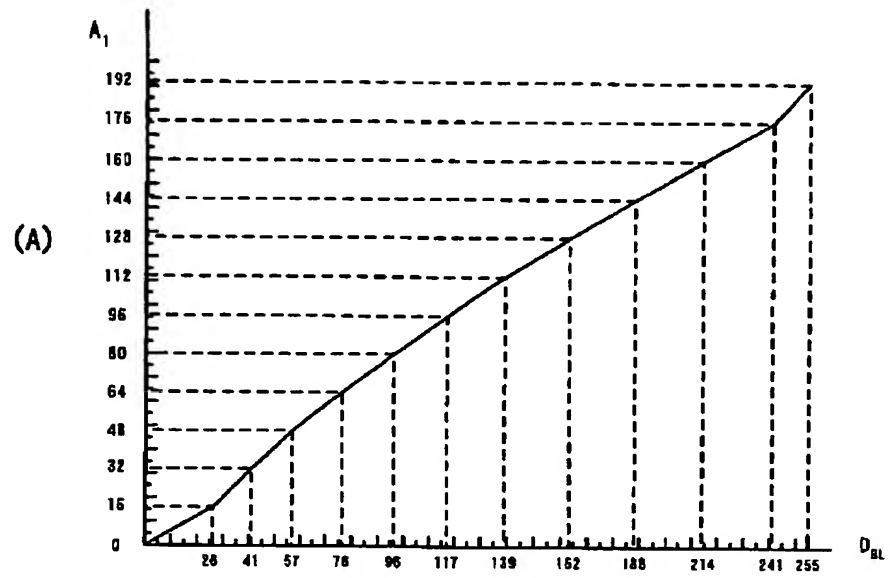
【図 12】

入力映像信号	ディザ値			
	a	b	c	d
TV信号	0	1	2	3
PC映像信号	0 (1)	2 (3)	4 (5)	6 (7)

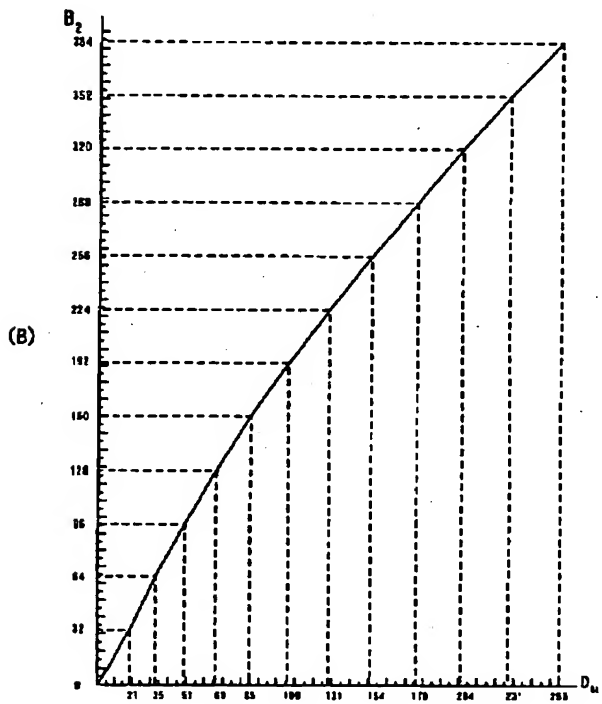
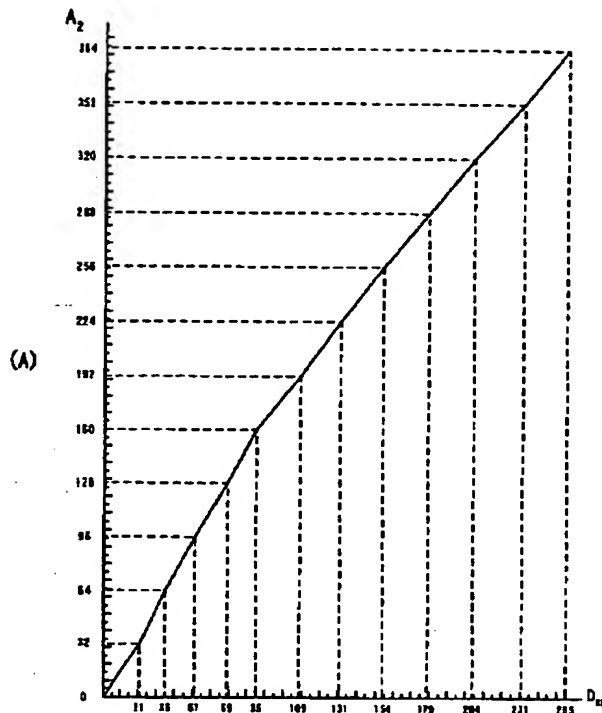
33



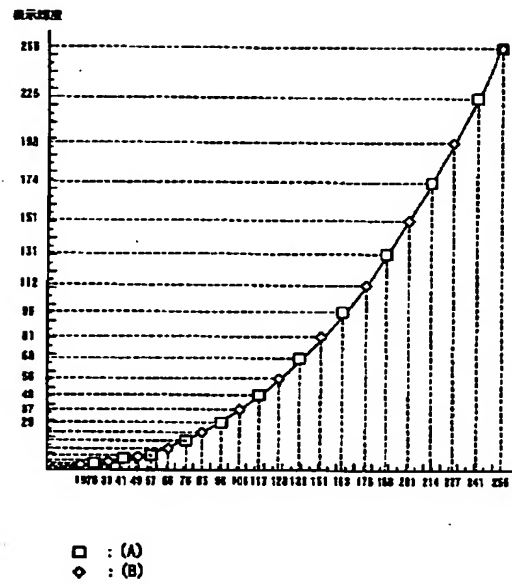
【图 7】



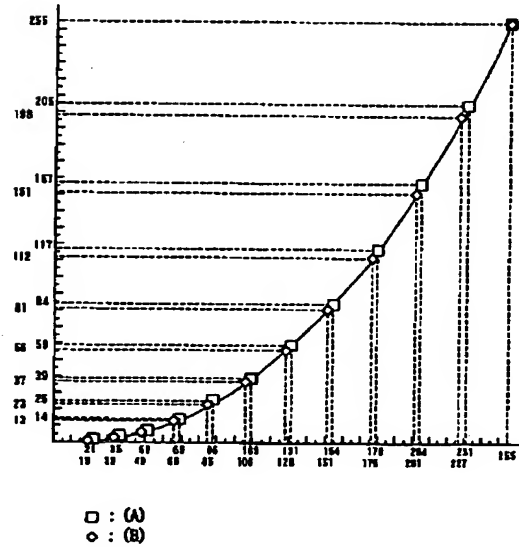
【图 8】



【图 20】



【图 22】



第2データ変換回路34の変換テーブル													光変換回路パターン												変換処理						
階層	Ds	GD											BF	GF	BF	GF	BF	GF	BF	GF	BF	GF	BF	GF	TV信号		PC信号				
		1	2	3	4	5	6	7	8	9	10	11													12	1	2	3	4	5	6
1	0000	1	0	0	0	0	0	0	0	0	0	0	0	●														0	0	0	0
2	0001	0	1	0	0	0	0	0	0	0	0	0	0	○														2	1	1	1
3	0010	0	0	1	0	0	0	0	0	0	0	0	0	○														4	3	3	3
4	0011	0	0	0	1	0	0	0	0	0	0	0	0	○														10	7	7	7
5	0100	0	0	0	0	1	0	0	0	0	0	0	0	○														18	13	14	13
6	0101	0	0	0	0	0	1	0	0	0	0	0	0	○														28	23	25	23
7	0110	0	0	0	0	0	0	1	0	0	0	0	0	○														46	37	39	37
8	0111	0	0	0	0	0	0	0	1	0	0	0	0	○														85	58	59	88
9	1000	0	0	0	0	0	0	0	0	1	0	0	0	○														98	81	84	81
10	1001	0	0	0	0	0	0	0	0	0	1	0	0	○														131	112	117	112
11	1010	0	0	0	0	0	0	0	0	0	0	1	0	○														174	151	157	151
12	1011	0	0	0	0	0	0	0	0	0	0	0	1	○														225	198	205	198
13	1100	0	0	0	0	0	0	0	0	0	0	0	0	○														255	228	235	225

【图 15】

1フィールド

SF1 SF2 SF12

DP1₁ DP1₂ DP1₀ DP2₁ DP2₂ DP2₀ DP12₁ DP12₂ DP12₀ AP

列電極 D₁₋₈

行電極 X₁₋₈

行電極 V₁

行電極 V₂

行電極 V₀

I_c B_c I_c B_c I_c B_c I_c E

【図16】

(A)
奇数
フィールド

LC	SF1	SF2	SF3	SF4	SF5	SF6	SF7	SF8	SF9	SF10	SF11	SF12
モード1	2	2	6	8	11	17	22	28	35	43	51	30
モード2	4	4	12	16	22	34	44	56	70	86	102	80
モード3	6	6	18	24	33	51	66	84	105	129	153	90
モード4	8	8	24	32	44	68	88	112	140	172	203	120

(B)
偶数
フィールド

LC	SF1	SF2	SF3	SF4	SF5	SF6	SF7	SF8	SF9	SF10	SF11	SF12
モード1	1	2	4	6	10	14	18	25	31	39	47	57
モード2	2	4	8	12	20	28	38	50	62	78	94	114
モード3	3	6	12	18	30	42	57	75	93	117	141	171
モード4	4	8	16	24	40	56	76	100	124	156	187	228

【図17】

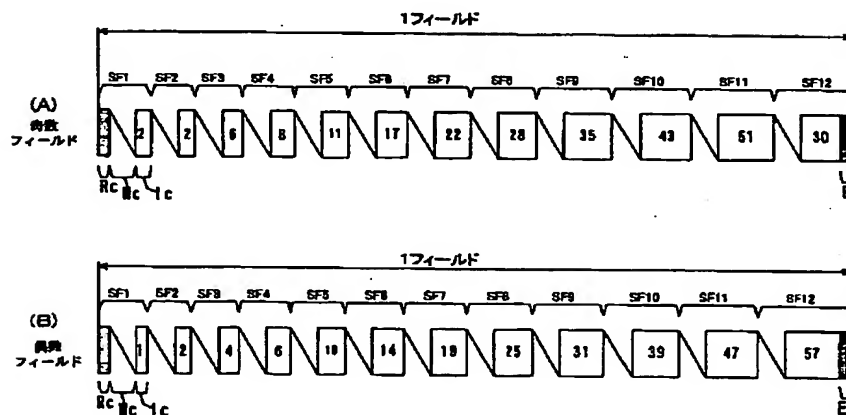
(A)
奇数
フィールド

LC	SF1	SF2	SF3	SF4	SF5	SF6	SF7	SF8	SF9	SF10	SF11	SF12
モード1	1	2	4	7	11	14	20	25	33	40	48	50
モード2	2	4	8	14	22	28	40	50	66	80	96	100
モード3	3	6	12	21	33	42	60	76	98	120	144	158
モード4	4	8	16	28	44	56	80	100	132	160	192	200

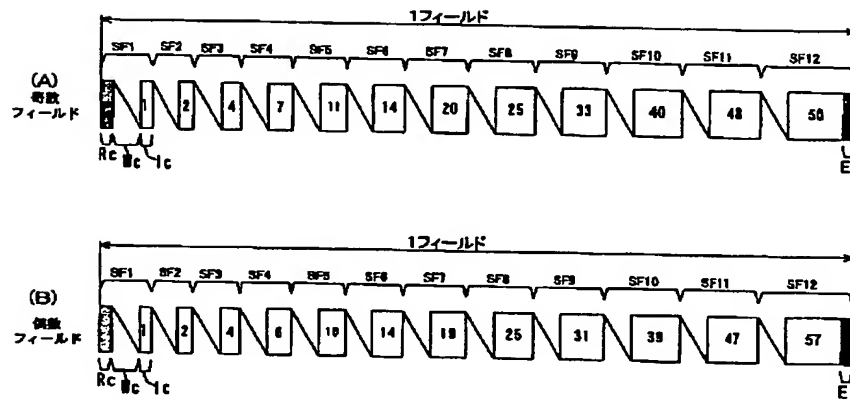
(B)
偶数
フィールド

LC	SF1	SF2	SF3	SF4	SF5	SF6	SF7	SF8	SF9	SF10	SF11	SF12
モード1	1	2	4	6	10	14	19	25	31	39	47	57
モード2	2	4	8	12	20	28	38	50	62	78	94	114
モード3	3	6	12	18	30	42	57	75	93	117	141	171
モード4	4	8	16	24	40	56	76	100	124	156	188	228

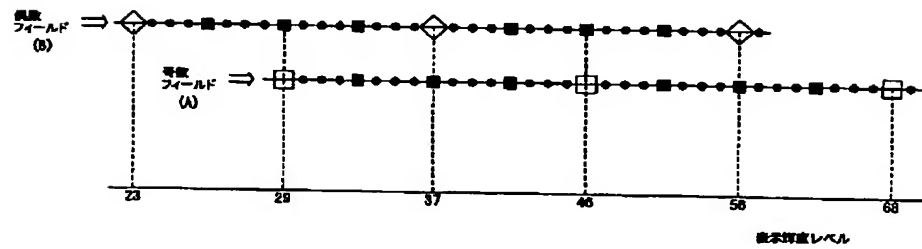
【図18】



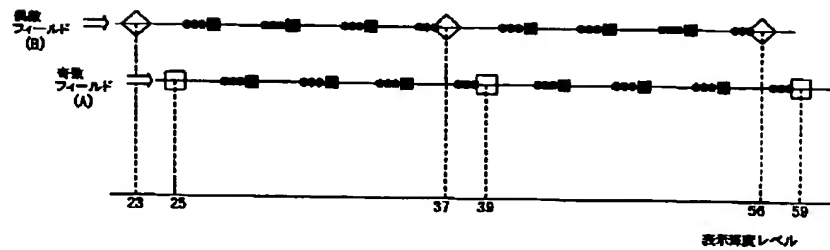
【図19】



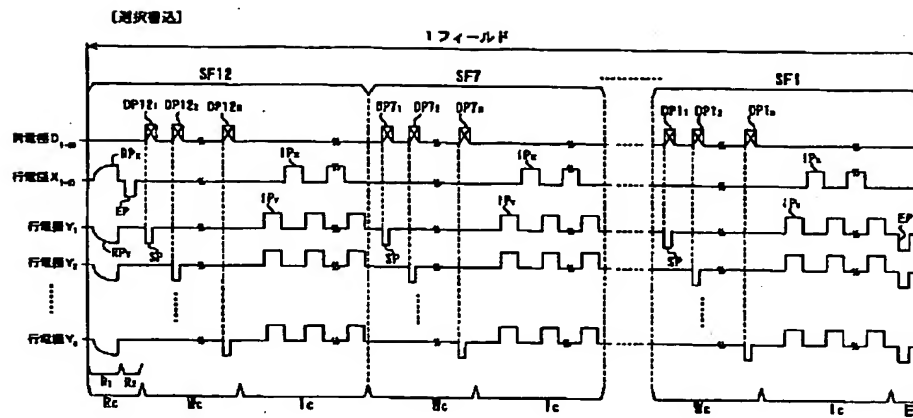
【図21】



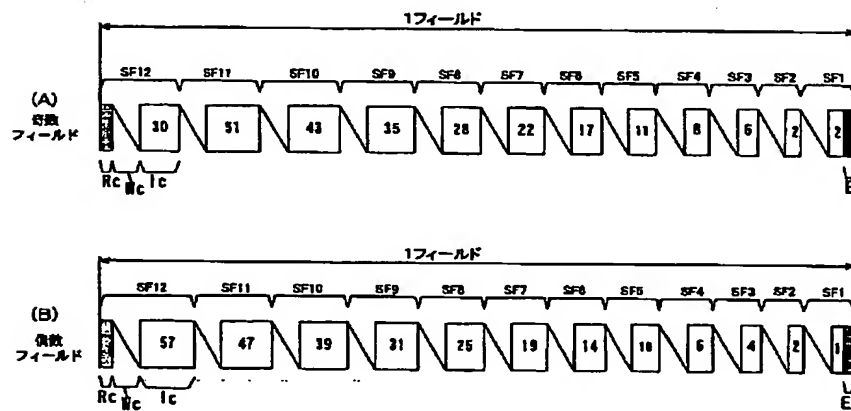
【図23】



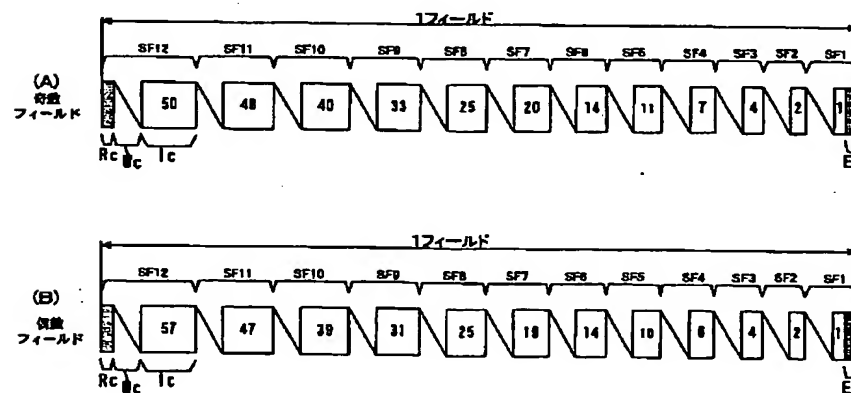
【図24】



【図25】



【図26】



【図27】

【選択書込】

順列	第2データ交換回路34の交換テーブル												発光駆動パターン																表示輝度			
	Ds	GD												SF	SF	SF	SF	SF	SF	SF	SF	SF	SF	SF	SF	SF	TV番号		PCa番号			
		12	11	10	9	8	7	6	5	4	3	2	1														(A) 番	(B) 番	(A) 番	(B) 番		
1	0000	0	0	0	0	0	0	0	0	0	0	0	0														0	0	0	0		
2	0001	0	0	0	0	0	0	0	0	0	0	0	0														2	1	1	1		
3	0010	0	0	0	0	0	0	0	0	0	0	0	0														4	3	3	3		
4	0011	0	0	0	0	0	0	0	0	0	0	0	1														10	7	7	7		
5	0100	0	0	0	0	0	0	0	0	0	0	1	0														18	13	14	13		
6	0101	0	0	0	0	0	0	0	0	1	0	0	0														20	23	25	23		
7	0110	0	0	0	0	0	0	0	1	0	0	0	0														46	37	38	37		
8	0111	0	0	0	0	0	1	0	0	0	0	0	0														86	58	59	58		
9	1000	0	0	0	0	1	0	0	0	0	0	0	0														98	81	84	81		
10	1001	0	0	0	1	0	0	0	0	0	0	0	0														131	112	117	112		
11	1010	0	0	1	0	0	0	0	0	0	0	0	0														174	151	157	151		
12	1011	0	1	0	0	0	0	0	0	0	0	0	0														225	198	205	198		
13	1100	1	0	0	0	0	0	0	0	0	0	0	0														255	235	255	255		

黒丸:選択書込放電(発光)
白丸:発光SF

【図28】

【選択消去】

順列	第2データ交換回路34の交換テーブル												発光駆動パターン												表示輝度				
	Ds	GD												SF	SF	SF	SF	SF	SF	SF	SF	SF	SF	SF	SF	TV番号		PCa番号	
		1	2	3	4	5	6	7	8	9	10	11	12													(A) 号	(B) 号	(A) 号	(B) 号
1	0000	1	1	*	*	*	*	*	*	*	*	*	*	●	●	△	△	△	△	△	△	△	△	△	△	9	0	0	0
2	0001	0	1	1	*	*	*	*	*	*	*	*	*	○	●	△	△	△	△	△	△	△	△	△	△	2	1	1	1
3	0010	0	0	1	1	*	*	*	*	*	*	*	*	○	○	●	△	△	△	△	△	△	△	△	△	4	3	3	3
4	0011	0	0	0	1	1	*	*	*	*	*	*	*	○	○	○	●	△	△	△	△	△	△	△	△	10	7	7	7
5	0100	0	0	0	0	1	1	*	*	*	*	*	*	○	○	○	○	●	△	△	△	△	△	△	△	18	13	14	13
6	0101	0	0	0	0	0	1	1	*	*	*	*	*	○	○	○	○	○	●	△	△	△	△	△	△	29	23	25	23
7	0110	0	0	0	0	0	0	1	1	*	*	*	*	○	○	○	○	○	○	●	△	△	△	△	△	48	37	38	37
8	0111	0	0	0	0	0	0	0	1	1	*	*	*	○	○	○	○	○	○	○	○	●	△	△	△	88	58	59	58
9	1000	0	0	0	0	0	0	0	0	0	1	1	*	○	○	○	○	○	○	○	○	○	○	○	△	98	81	84	81
10	1001	0	0	0	0	0	0	0	0	0	0	1	1	○	○	○	○	○	○	○	○	○	○	○	○	131	112	117	112
11	1010	0	0	0	0	0	0	0	0	0	0	0	1	○	○	○	○	○	○	○	○	○	○	○	○	174	151	157	151
12	1011	0	0	0	0	0	0	0	0	0	0	0	0	○	○	○	○	○	○	○	○	○	○	○	○	225	198	205	198
13	1100	0	0	0	0	0	0	0	0	0	0	0	0	○	○	○	○	○	○	○	○	○	○	○	○	255	235	255	255

黒丸:選択消去放電
白丸:発光SF

【図29】

選択書込

階層	第2データ変換回路34の変換テーブル													発光駆動パターン													表示開度			
	Ds	GD												発光駆動パターン													TV送号		PC送号	
		12	11	10	9	8	7	6	5	4	3	2	1	5F	5F	5F	5F	5F	5F	5F	5F	5F	5F	5F	5F	5F	(U) 送	(U) 受	(C) 送	(C) 受
1	0000	0	0	0	0	0	0	0	0	0	0	0	0														0	0	0	0
2	0001	0	0	0	0	0	0	0	0	0	0	0	0														2	1	1	1
3	0010	0	0	0	0	0	0	0	0	0	0	0	0														4	3	3	3
4	0011	0	0	0	0	0	0	0	0	0	0	0	1														10	7	7	7
5	0100	0	0	0	0	0	0	0	0	0	1	1	*														18	13	14	13
6	0101	0	0	0	0	0	0	0	0	1	1	*	*														29	23	25	23
7	0110	0	0	0	0	0	0	1	1	*	*	*	*														40	37	39	37
8	0111	0	0	0	0	0	1	1	*	*	*	*	*														65	56	59	56
9	1000	0	0	0	0	1	1	*	*	*	*	*	*														88	81	84	81
10	1001	0	0	0	1	1	*	*	*	*	*	*	*														131	112	117	112
11	1010	0	0	1	1	*	*	*	*	*	*	*	*														174	151	157	151
12	1011	0	1	1	*	*	*	*	*	*	*	*	*														225	193	205	198
13	1100	1	1	*	*	*	*	*	*	*	*	*	*														255	258	265	255

フロントページの続き

(51) Int. Cl.⁷

H04N 5/66

識別記号

101

FI

H04N 5/66

テーマコード(参考)

101B

Fターム(参考) 5C058 AA11 AB02 BA03 BA07 BB03

BB13 BB15

5C080 AA05 BB05 DD03 EE29 FF12

GG08 GG09 HH02 JJ02 JJ04

JJ05

This Page Blank (uspto)